

課題番号 : F-19-AT-0159  
 利用形態 : 技術代行  
 利用課題名(日本語) : 原子層堆積法を用いた金属成膜  
 Program Title (English) : Metal deposition by atomic layer deposition  
 利用者名(日本語) : 北村稔<sup>1)</sup>、郷富将<sup>1)</sup>、後藤高寛<sup>2)</sup>、宮本恭幸<sup>2)</sup>  
 Username (English) : M. Kitamura<sup>1)</sup>, T. Go<sup>1)</sup>, T. Gotow<sup>2)</sup>, Y. Miyamoto<sup>2)</sup>  
 所属名(日本語) : 1) 東京工業大学工学院電気電子系 2) 東京工業大学工学院  
 Affiliation (English) : 1) Department of Electrical and Electronic Engineering, School of Engineering, Tokyo Institute of Technology. 2) School of Engineering, Tokyo Institute of Technology.  
 キーワード/Keyword : 成膜・膜堆積、MOSFET、III-V族化合物半導体、マルチゲート構造、ナノシート

### 1. 概要(Summary)

再成長エピタキシャルソースを持つ高移動度 InGaAs を用いたナノシート構造 MOSFET の研究を行っている。InGaAs チャンネルの移動度を評価するために、大面積のゲートを持つ平面状の MOSFET を作製し、Split-CV 法による測定を行う必要がある。ゲートスタックの構造をナノシート MOSFET と同様にするため、Planer MOSFET のゲート金属 TiN 成膜を、原子層堆積(ALD)法によって、国立研究開発法人産業技術総合研究所ナノプロセッシング施設(NPF)の支援より試みた。

### 2. 実験(Experimental)

#### 【利用した主な装置】

原子層堆積装置[FlexAL]

#### 【実験方法】

TiN の ALD 成膜は、基板温度を 350°C とし、Ti のプリカーサとして TDMAT を使用、窒素プラズマ処理は H<sub>2</sub>/N<sub>2</sub>=7/21 sccm、リアクタ内圧力 40 mTorr、RF 出力 200 W の条件下で行った。

### 3. 結果と考察(Results and Discussion)

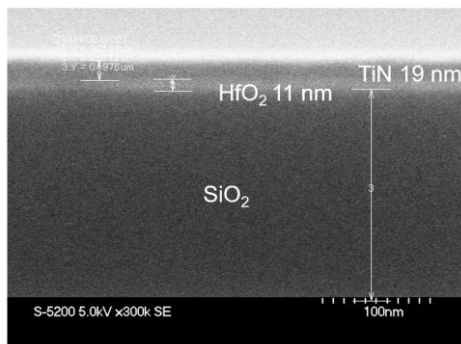


Fig. 1 Cross-sectional SEM image on TiN/HfO<sub>2</sub>/SiO<sub>2</sub>

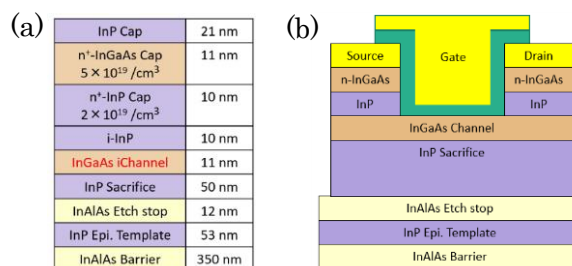


Fig. 2 Planer InGaAs MOSFET. (a) Epitaxial structure. (b) schematic image of MOSFET.

Fig. 1 に Metal ALD にダミー基板として入れた Si の SEM 像を示す。MOSFET 作製に用いる絶縁膜 HfO<sub>2</sub> 表面に TiN が 19 nm 程度成膜されていることを確認した。

Fig. 2 に示すような Planer InGaAs MOSFET の作製と split-CV 法による移動度の解析を行っている。

### 4. その他・特記事項(Others)

#### ・参考文献

[1]N. Kise et al.,Solid-State Electronics, **126**, (2016) 92.

・科学研究費補助金:研究活動スタート支援「極低電圧動作トンネルトランジスタの高周波応用向け基礎検討」(19K21084)

#### ・謝辞

国立研究開発法人 産業技術総合研究所 NPF の有本宏様、山崎将嗣様に感謝いたします。

### 5. 論文・学会発表(Publication/Presentation)

なし。

### 6. 関連特許(Patent)

なし。