

課題番号 : F-19-AT-0087
 利用形態 : 技術代行
 利用課題名(日本語) : All イオン注入プロセスを用いた縦型 GaN プレーナ MOSFET
 Program Title (English) : Demonstration of Vertical GaN Planar MOSFET Fabricated by an All Ion Implantation Process
 利用者名(日本語) : 田中亮
 Username (English) : R. Tanaka
 所属名(日本語) : 富士電機株式会社
 Affiliation (English) : Fuji Electric Co., Ltd.
 キーワード/Keyword : リソグラフィ・露光・描画装置、成膜・膜堆積、膜加工・エッチング

1. 概要(Summary)

次世代パワーデバイスとして GaN 基板上的のホモエピを用いた縦型 MOSFET が期待されている。これまで NPF を利用して開発してきた i 線露光装置を用いた微細加工プロセスと、弊社にて開発した p 型イオン注入技術を組み合わせ GaN 縦型 MOSFET 構造を試作し、電気特性を評価した。

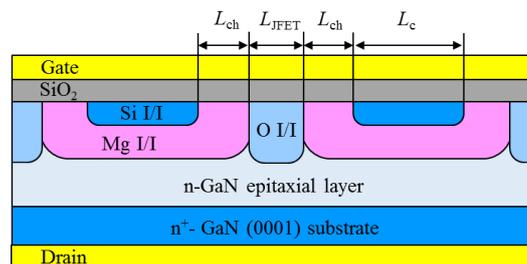


Fig. 1 Schematic of the cross section of the fabricated vertical GaN planar MOSFETs.

2. 実験(Experimental)

【利用した主な装置】

- i 線露光装置
- 酸アルカリドラフトチャンバー
- 電子ビーム真空蒸着装置

【実験方法】

n 型エピ/n+GaN 基板構造上に、i 線露光装置を用いたフォトリソグラフィを用いてパターン形成し、外部にて p 型および n 型イオン注入を実施した。活性化熱処理後にゲート絶縁膜を成膜し、ウェットエッチングにより開口した。その後、Ti/Al を全面蒸着し、ウェットエッチングすることで、Fig. 1 に示す縦型プレーナ MOSFET 構造を形成した。電気特性評価は自社でパワーデバイスパラメータアナライザを用いて行った。

3. 結果と考察(Results and Discussion)

Fig. 2 に、作製した縦型 MOSFET 素子の出力特性 (I_d - V_d 曲線)を示す。ゲート電圧印加に伴ってドレイン電流が増加する正常な MOS チャネル特性が得られた。さらに、i 線露光装置を用いた微細加工により、低いオン抵抗が実現できることを実証できた。今後の GaN デバイス開発、プロセス技術開発に役立てる。

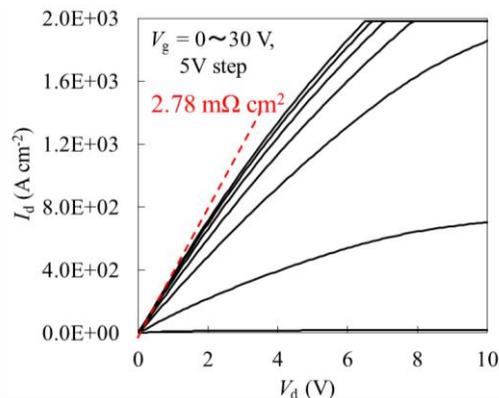


Fig. 2 I_d - V_d output characteristics of the fabricated vertical GaN planar MOSFET.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

R. Tanaka *et al.*, Accepted to Jpn. J. Appl. Phys.

6. 関連特許(Patent)

なし。