

課題番号 : F-19-AT-0060
利用形態 : 機器利用
利用課題名(日本語) : Si 基板上の TEOS-SiO₂ 膜の応力
Program Title (English) : Stress of TEOS-SiO₂ films on Si wafer
利用者名(日本語) : 黒田稔顕
Username (English) : T. Kuroda
所属名(日本語) : 株式会社サイオクス
Affiliation (English) : SCIOCS, Co. Ltd.
キーワード/Keyword : 成膜・膜堆積、Si 基板、膜応力

1. 概要(Summary)

現在(K,Na)NbO₃ 圧電薄膜を MEMS デバイスに適用する開発を進めている。その際、保護膜である SiO₂ 薄膜をエッチング加工する必要がある、現状、CVD で成膜した TEOS-SiO₂ を保護膜にしている。しかし、TEOS-SiO₂ 層(350℃成膜)は、エッチング加工条件によっては剥がれが生じることがある。原因の一つとして、TEOS-SiO₂ 薄膜に大きな応力が加わっている可能性があり、そのため TEOS-SiO₂ 成膜時にどれほどの応力が加わるのか知る必要がある。比較用としてスパッタリング法により成膜した SiO₂ 薄膜を用いて成膜方法の違いによる SiO₂ 薄膜の応力の差を確認した。

2. 実験(Experimental)

【利用した主な装置】

プラズマ CVD 装置 (TEOS/SiO₂)

【実験方法】

厚み 300 μm の 6 インチ Si 基板上に産総研 NPF のプラズマ CVD 装置を用いて、800 nm 厚の TEOS-SiO₂ 薄膜を成膜した。成膜は基板温度 350℃で TEOS 流量は 4.5 sccm、RF 出力は 100 W で実施した。また比較用としてスパッタリング装置で同じく厚み 300 μm の 6 インチ Si 基板上に、800 nm 厚の SiO₂ 薄膜を基板温度は室温、RF 出力 400 W で成膜した。それぞれのウエハをレーザー変位計で曲率半径を算出したのち、応力解析を行った。

3. 結果と考察(Results and Discussion)

作製した試料の写真を Fig. 1 に示す。プラズマ CVD 装置で成膜した TEOS-SiO₂ 薄膜は基板表面側に凸形状に反って曲率半径 54 MPa の圧縮応力になっているこ

とが分かった。一方スパッタで成膜した SiO₂ 薄膜は基板の表面側に凸形状に反って、150 MPa の圧縮応力であることが分かった。この結果から CVD で製膜した SiO₂ 膜の方がスパッタリング法で成膜した SiO₂ 膜よりも応力が小さいことが確認できた。

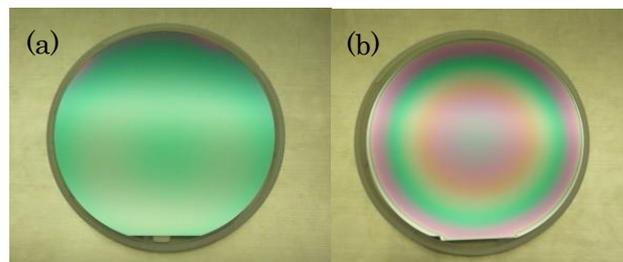


Fig.1 (a)SiO₂ thin film by CVD, (b)SiO₂ thin film by sputtering.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。