

課題番号 : F-19-AT-0049  
 利用形態 : 機器利用  
 利用課題名(日本語) : 平面型グラフェン電子源の作製  
 Program Title (English) : Fabrication of Graphene-oxide-semiconductor planar-type electron source  
 利用者名(日本語) : 松本直之<sup>1,2)</sup>  
 Username (English) : N. Matsumoto<sup>1,2)</sup>  
 所属名(日本語) : 1)横浜国立大学 理工学部 機械工学・材料系学科, 2)産業技術総合研究所  
 Affiliation (English) : 1)Department of Mechanical Engineering and Materials Science, Yokohama National University, 2)AIST  
 キーワード/Keyword : リソグラフィ・露光・描画装置、MOS、グラフェン

## 1. 概要(Summary)

近年, 推進器を搭載することで, 超小型衛星でも軌道遷移や軌道維持が可能となることが期待されている. イオンスラスタは超小型衛星に搭載可能な推進器の1つであり, その運転には中和器からの電子放出が必要となる. 平面型グラフェン電子源 (GOS : Graphene-Oxide-Semiconductor) は, MOS の上部電極にグラフェンを用いたデバイスであり, 電子放出にプラズマ生成が不要で, 低電圧・高電子電流密度での駆動が可能であるという点から超小型衛星に搭載する中和器として有望だ. 本研究では, ナノプロセッシング施設のマスクレス露光装置を利用して平面型グラフェン電子源を作製し, その特性の評価を行った.

## 2. 実験(Experimental)

### 【利用した主な装置】

マスクレス露光装置, 単波長エリプソメータ

### 【実験方法】

平面型グラフェン電子源の概略図とその測定回路を Fig. 1 に示す. BHF によるエッチングで  $10\ \mu\text{m}$  角の電子放出エリアを作り,  $950\ \text{°C}$  のドライ熱酸化により Si ウェハの表面に約  $10\ \text{nm}$  の  $\text{SiO}_2$  層を成膜した. その上にプラズマ CVD 法によって, グラフェンを直接合成した. 最後にグラフェンへの導通を取るための電極として, Ti と Ni を電子ビーム蒸着法で蒸着した. 電子放出エリア等のパターンの露光にはマスクレス露光装置を用い, ドライ熱酸化で成膜した  $\text{SiO}_2$  層の膜厚測定には単波長エリプソメータを用いた.

完成したデバイスについて, 真空チャンバー内でゲート電圧  $V_G$  に対する放出電子電流  $I_A$ , 全電流  $I_C$  を測定し, 性能の評価を行った.

## 3. 結果と考察(Results and Discussion)

Figure 2 に完成したデバイスの光学顕微鏡で撮影した画像を示す.  $8\ \text{V}$  まで電圧を印加したところ,  $10\ \mu\text{m}$  角の電子放出エリアから電子放出が確認できた. 今後は, 宇宙での利用を考える上で必要となる寿命や環境耐性の向上に取り組む予定である.

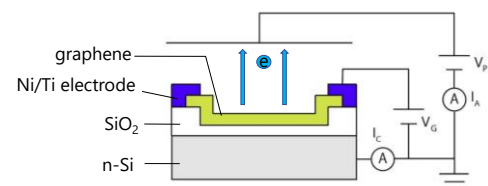


Fig. 1. GOS device and its measurement circuit.

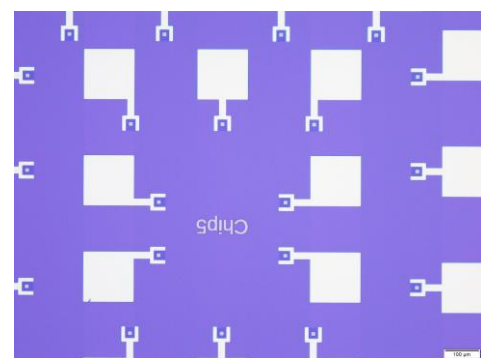


Fig. 2. Photo of GOSs taken with an optical microscope.

## 4. その他・特記事項(Others)

なし.

## 5. 論文・学会発表(Publication/Presentation)

なし.

## 6. 関連特許(Patent)

なし.