

課題番号 : F-19-AT-0032
 利用形態 : 技術補助
 利用課題名(日本語) : GaAs 基板の深ビア加工
 Program Title (English) : Deep via etching of GaAs substrate
 利用者名(日本語) : 稲田智志
 Username (English) : S. Inada
 所属名(日本語) : 富士ゼロックス株式会社
 Affiliation (English) : Fuji Xerox Co. Ltd.
 キーワード/Keyword : 膜加工・エッチング、GaAs、半導体レーザー

1. 概要(Summary)

光通信向けを始めとする半導体レーザーを用いた光学デバイスにおいては、その動作温度制御が重要となる。例えば、シリコン基板と異なり熱伝導度が悪い GaAs 基板を用いた HBT (Heterojunction Bipolar Transistor) デバイスでは、電極のグラウンド取得のためだけでなく、放熱性向上のためにスルービアを形成する場合もある。GaAs 基板の場合、Si 基板と比べウェハが脆弱であるため、より厚い基板膜厚が求められ、深いビアを形成する必要がある。昨年に引き続き、産業技術総合研究所(AIST)の設備を利用して、GaAs 基板の高いスルーピットかつアスペクト比(A/R)を実現する加工条件最適化を実施し、100 μm 深さのビア形成可能な ICP エッチング条件を確立した。

2. 実験(Experimental)

【利用した主な装置】

コンタクトマスクアライナー [MJB4]
 化合物半導体エッチング装置(ICP-RIE)

【実験方法】

3 インチサイズの電気評価まで可能な GaAs TEG を作製し、ICP RIE の加工条件振りを行った。プロセス中の基板温度を制御するため、真空グリスを用いて 4 インチ Si ウェハへ貼付けた。エッチングガスは塩素系をベースにした。

3. 結果と考察(Results and Discussion)

Figure 1 は加工結果の比較図である。昨年条件出したものは、深さが 88 μm 程度であった。この条件をベースに時間延長を行ったところ、深さは 230 μm が得られたが、側壁保護膜がやぶれ、レジスト直下でのサイドエッチが見られた(Fig. 1-(a))。その量はおよそ 24 μm 程度であり、狭ピッチなビアパターンを必要とする場合には適用不可

能な値であった。そこで側壁保護膜を維持しつつ、垂直にビア加工ができるように、2step の加工条件を検討した(Fig. 1-(b))。1st step は、高圧のデポ効果が高い条件を用い、2nd step では、低圧、高 LF 条件にし、レジストマスクと側壁保護膜を保ちつつ、垂直にビアを形成する。その結果、エッチングレート(E/R)が同等で、深さが 116 μm 程度のビアが得られた。サイドエッチはほとんどないが、ややボーイング形状であった。今回の評価では、この形状でまずは十分なため、この加工条件で検討を完了とした。今後デバイスの特性評価の結果をフィードバックして、ビア形状の改善が必要な場合は再度、加工条件の検討を実施する。



Sample#	昨年の条件	(a) 低温・高LF	(b) 2 step
断面			
E/R [um/min]	2.2	2.9	1.93
Sel.	8.8	5	5.8

Fig. 1 ICP etching results.

このようなビア加工後に、レジストを剥離する必要があるが、現在用いている材料系では剥離時の残渣が生じてしまう。そこで、深いビアを加工するためのエッチング耐性、膜厚を維持し、剥離性も向上させるプロセスを引き続き検討していく予定である。

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。