

課題番号 : F-18-YA-0007
 利用形態 : 技術補助
 利用課題名(日本語) : Ti, Cu の 2 層スパッタ成膜、絶縁層キュア処理
 Program Title (English) : Sputtering Ti, Cu 2 layers film deposition, curing of dielectric film
 利用者名(日本語) : 稲垣雅一、万波徹、岩田真典
 Username (English) : M. Inagaki, T. Mannami, M. Iwata
 所属名(日本語) : 株式会社ピーエムティー
 Affiliation (English) : PMT Corporation
 キーワード/Keyword : スパッタ、Cu めっきシード膜、絶縁層キュア、成膜・膜堆積

1. 概要(Summary)

ハーフインチ基板での Fan-out 型 Wafer Level Package(FOWLP)の試作開発とベースラインプロセスの確立を山口大学 NPF の施設を利用して進めている。

2. 実験(Experimental)

【利用した主な装置】

UHV10 元スパッタ装置、走査型電子顕微鏡、昇温脱離ガス分析装置(ダイナミック型)、触針式表面形状測定装置

【実験方法】

電極を形成した TEG チップをモールド封入したハーフインチの再構成基板を作成し、ミニマル装置として PMT 保有のレジスト塗布機、露光機、現像機を用い、メガファブ装置として前述の NPF 装置を用いたハイブリッドプロセスにより、Fig. 1 に示した半田ボールを外部端子とした FOWLP 構造を形成し、電気導通試験を行った。

3. 結果と考察(Results and Discussion)

Fig. 1 に FOWLP の断面構造を示した。

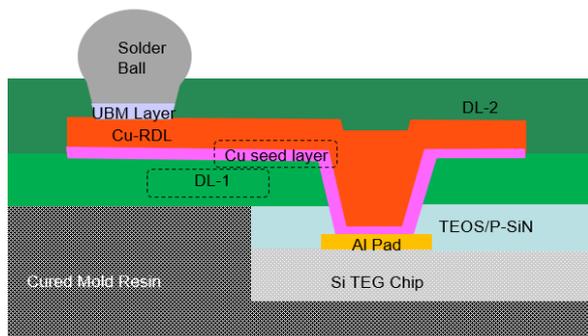


Fig. 1 Sectional Structure of FOWLP

Cu seed layer と DL-1 のプロセスを NPF の設備を利用して作製した。

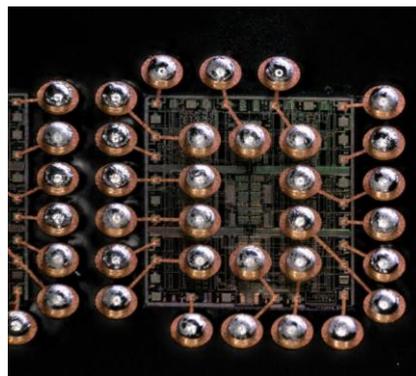


Fig. 2 Microscope image of FOWLP

Fig. 2 に弊社で試作したアナログチップを搭載した FOWLP のダイシング前のウエハレベルパッケージの状態を示した。これらを用いて電気導通試験等を行い、実用化に向けたデータ収集を進めている。

4. その他・特記事項(Others)

- Tseng, C. F., Liu, C. S., Wu, C. H., & Yu, D. (2016, May). InFO (wafer level integrated fan-out) technology. In Electronic Components and Technology Conference (ECTC), 2016 IEEE 66th (pp. 1-6). IEEE.
- 岩田真典、第 64 回応用物理学会春季術講演、16a-E206-12
- 他の機関の利用: FAIS (F-18-FA-0022)

5. 論文・学会発表(Publication/Presentation)

- ISSM2018 「Development of Half-inch FOWLP Process Line utilizing Minimal Fab」
Kenji Miyake / Masanori Iwata / Toru Mannami

6. 関連特許(Patent)

なし