

課題番号 : F-18-WS-0087
利用形態 : 共同研究
利用課題名(日本語) : 圧電ポリマー薄膜への電極の作製
Program Title(English) : Fabrication of electrodes on the thin Piezoelectric polymer
利用者名(日本語) : 中嶋宇史
Username(English) : Takashi Nakajima
所属名(日本語) : 東京理科大学 理学部応用物理学科
Affiliation(English) : Department of Applied Physics, Tokyo University of Science
キーワード/Keyword : スパッタ、高性能半導体デバイス・アナライザ、電気計測

1. 概要(Summary)

現在 PVDF 系の圧電ポリマーを応用した発電デバイス
の高出力化に取り組んでいる。本研究に使用する圧電ポ
リマーは数十ミクロンの厚さの薄膜ポリマーの両面にアル
ミ電極がついたものを購入しているが、電極付きの薄膜が
入手困難になることが判明した。(メーカーが製造停止)
ポリマー薄膜そのものは引き続き購入可能なので、この両
面に金属薄膜が成膜可能かを早稲田大学ナノテクノロジー
センターのスパッタ装置を利用して検討した。

2. 実験(Experimental)

【利用した主な装置】

高性能半導体デバイス・アナライザ
スパッタ装置(アネルバ社製/SPF430H)

【実験方法】

PVDF 系ポリマーは熱に弱いため、成膜時に 100℃以
上に上がることは好ましくない。今回は 4 インチのシリコン
基板にカプトンテープでポリマー薄膜を貼り付け、白金を
100~300nm 製膜したのち、いったんポリマー薄膜を剥
がして裏返し、再度同様の方法でシリコン基板に固定し
逆の面に同様に、白金を 100~300nm 製膜した。シリコ
ン基板を固定する電極は水冷し、80℃以上に温度が上
がらないよう留意した。またスパッタ時間があまり長時間
にならないよう、白金の膜厚ではなく、実際の成膜時間を 2
分半程度で固定して、できる限りポリマー薄膜にダメージ
を与えないように留意して実験を行った。電極形成後の
薄膜は、外観チェックののち、従来と同様にテストデバイ
スとしてアセンブリを行い、容量チェックおよび発電電圧
のチェックを行った。

3. 結果と考察(Results and Discussion)

成膜後のサンプルを Fig. 1 に示す。最初はシリコン
基板上に張り付ける方法ではなく、メタルマスクで固定し
て両面製膜するという方法を取ったが、ポリマー薄膜が

微妙に浮いてしまい全体的に収縮を起こした。これに対
して、シリコン基板にカプトンテープで固定した方法では、
多少のたわみはあるもののポリマーの収縮はほぼ抑えら
れた(Fig.1)。これをアセンブリして容量を測定した結果、
同面積では従来の市販品とほぼ変わらない値(1nF 程
度)が得られた。

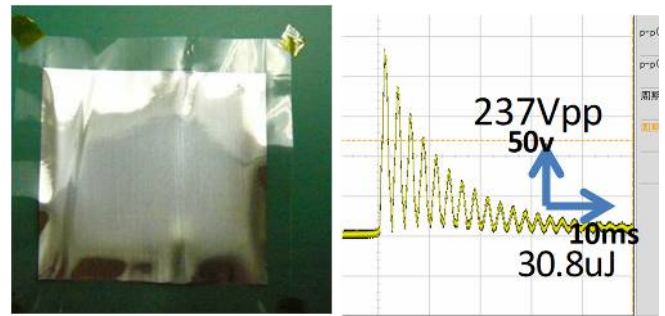


Fig.1 Photograph of the polymer film after sputtering and its generated voltage

次に、発電特性をチェックしたところ、Vp-p で 200V 程
度(Fig.1)であり、こちらも従来とほぼ同等の値が得られ
た。まだ、ポリマーフィルムに多少の反りがあり、スパッタ
の詳細な条件出しが必要だと判断されるが、実用上問題
ない成膜が可能である。

4. その他・特記事項(Others)

・共同研究者: 早稲田大学ナノ・ライフ創新研究機構
佐々木敏夫、関口哲志

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし