課題番号　:F-18-WS-0012
利用形態　:技術代行
利用課題名(日本語)　:メッキによるシリコン貫通電極の作製
Program Title(English)　:Fabrication of through silicon via by electroplating
利用者名(日本語)　:藤井剛[1)]
Username(English)　:G. Fujii[1)]
所属名(日本語)　:1) 国立研究開発法人　産業技術総合研究所　ナノエレクトロニクス研究部門
Affiliation(English)　:1) National Institute of Advanced Industrial Science and Technology
キーワード／Keyword　:めっき装置、超伝導、シリコン貫通電極、成膜・膜堆積

1. 概要(Summary)

近年、超伝導デジタル回路、超伝導量子コンピュータ、X 線センサなどの超伝導デバイスにおいて、回路の大規模化が進んでおり、それに伴うチップサイズの拡大が問題となっている。現在、8 層の配線層を積層することで、チップサイズを縮小することに成功しているが、高い歩留まりを維持しつつ、さらに積層数を向上させることは非常に困難である。そこで、半導体デバイスで既に採用されている Si 貫通電極(TSV)を形成したチップを積層し、TSV で積層したチップ上のデバイス同士を接続する実装方法を超伝導デバイスにも応用可能であるかを検証するため、TSV の作製を行っている。今回、3 インチシリコンウェハに作製した貫通穴に、早稲田大学微細加工プラットフォームのメッキ装置を利用し、スズの埋め込みを行った。

2. 実験(Experimental)

【利用した主な装置】

精密めっき装置

【実験方法】

初めに、産業技術総合研究所(AIST)超伝導アナログデジタルデバイス開発施設(CRAVITY)の装置を利用し、厚さ 400 μm の 3 インチシリコンウェハに貫通穴を作製した。貫通穴は、直径 70 μm の穴が 150 μm 間隔で 400×400 個形成されている。さらに、貫通穴以外のウェハ表面は、電解メッキ用のシード層として、Ti(10 nm)/Au (300 nm)膜が成膜されている。次に、早稲田大学微細加工プラットフォームのめっき装置を用いて、電解めっきにより、貫通穴にスズの埋め込みを行った。その後、電極となる貫通穴以外のウェハ表面全体に形成されてしまったスズを除去するため、化学機械研磨(CMP)装置を用いて、ウェハ表面のスズの除去を行った。スズの埋め込みの出来を評価するため、走査電子顕微鏡(SEM)を用いて断面形状を観察した。

3. 結果と考察(Results and Discussion)

スズが埋め込まれた貫通穴の断面画像を Fig. 1 に示す。直径 70 μm の貫通穴にスズを埋め込むことが出来ている。

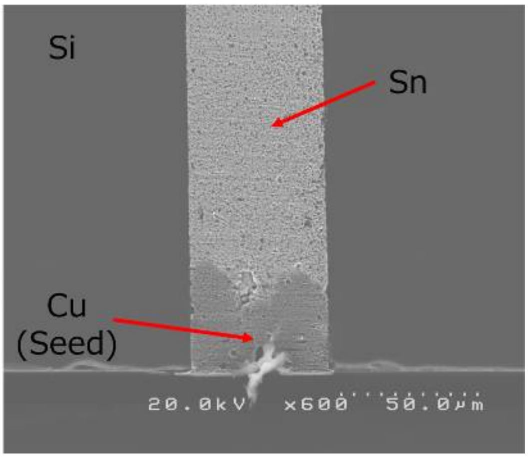

Fig.1　A cross-sectional of SEM image of Sn TSV.

4. その他・特記事項(Others)

・NEDO 「IoT推進のための横断技術開発プロジェクト／組合せ最適化処理に向けた革新的アニーリングマシンの研究開発」

5. 論文・学会発表(Publication/Presentation)

(1) G. Fujii, M. Ukibe, K. Makise, M. Hidaka, S. Nagasawa, H. Yamamori, K. Inomata, T. Yamada, and S. Kawabata, APS March Meeting 2019 (2019).

6. 関連特許(Patent)

なし