

課題番号 : F-18-UT-0109
利用形態 : 機器利用
利用課題名(日本語) : III-V 族半導体トランジスタ
Program Title (English) : III-V transistors
利用者名(日本語) : 竹中充, アン デファン, 隅田圭, 高木信一
Username (English) : M. Takenaka, D.-H. Ahn, K. Sumita, S. Takagi
所属名(日本語) : 東京大学大学院 工学系研究科(電気系工学専攻)
Affiliation (English) : The University of Tokyo
キーワード/Keyword : リソグラフィ・露光・描画装置、CMOS、LSI

1. 概要(Summary)

トンネル FET(Tunnel Field Effect Transistor) は MOS トランジスタよりも急峻にオンオフの切り替えが可能であり、次世代低消費電力トランジスタとして注目を集めている。特に、我々は InGaAs をチャンネルの材料とした InGaAs トンネル FET の研究を進めている。これまでプレーナー型の素子実証に成功しており、更なる高性能化を目指したナノワイヤ型トランジスタの実現を目指している。本研究では、電子線描画装置を用いてナノワイヤ InGaAs トンネル FET の作製を目指している。

2. 実験(Experimental)

【利用した主な装置】

高速大面積電子線描画装置 (F5112、F7000S)
電子顕微鏡

【実験方法】

以下に示すプロセスを用いて、ナノワイヤ InGaAs トンネル FET の作製を試みた。Si イオン注入により N+領域を形成し、Zn 拡散プロセスにより、P+領域を形成した。その後、電子ビーム描画装置(F5112)を用いてナノワイヤパターンを形成し、ドライエッチングにより InGaAs ナノワイヤ構造を形成した。その後、ゲート構造を形成し、コンタクト用電極を形成した。

3. 結果と考察(Results and Discussion)

Fig. 1 に試作した InGaAs ナノワイヤトンネルトランジスタの電子顕微鏡像を示す。電子線描画装置を用いたことで、サブミクロンサイズの InGaAs ナノワイヤ構造が形成できていることが分かる。更に細いナノワイヤを形成するためには露光条件やエッチング条件の最適化が必要である。

4. その他・特記事項(Others)

この研究は JST-CREST Grant Number JPMJCR1332 からの支援を受けて行われた。

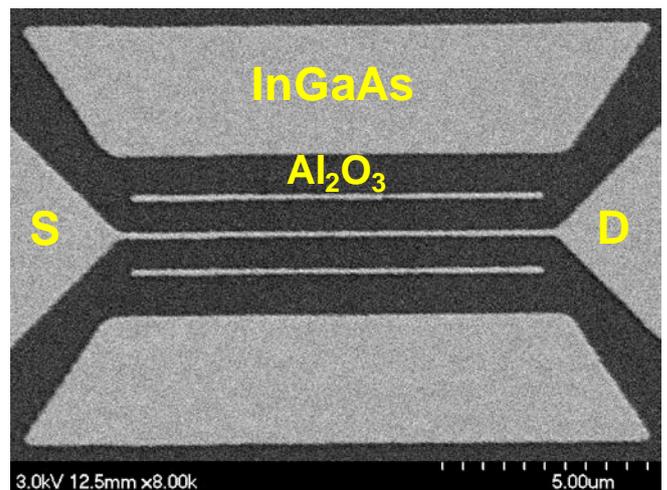


Fig. 1 Plan-view SEM image of InGaAs ナノワイヤトンネルトランジスタ.

5. 論文・学会発表(Publication/Presentation)

- (1) K. Sumita, K. Kato, M. Takenaka, S. Takagi, “Fabrication of InAs-on-Insulator structures by Smart Cut method with hydrogen implantation at room temperature,” *International Conference on Solid State Devices and Materials (SSDM)*, C-8-01, Tokyo, 11-13 Sept. 2018.
- (2) D.-H. Ahn, S.-H. Yoon, K. Kato, T. Fukui, M. Takenaka, and S. Takagi, “EOT scaling of planar-type InGaAs TFETs by using W/ZrO₂/Al₂O₃ gate stacks,” *49th IEEE Semiconductor Interface Specialists Conference (SISC)*, 8.4, San Diego, 5–8 December 2018.

6. 関連特許(Patent)

なし。