

課題番号 : F-18-UT-0079
利用形態 : 技術補助
利用課題名(日本語) : 新奇非晶質半導体を用いた薄膜トランジスタの開発
Program Title (English) : Development of a thin film transistor with a novel high-mobility amorphous semiconductor
利用者名(日本語) : Chen Zhen, 廣瀬靖
Username (English) : Z. Chen, Y. Hirose
所属名(日本語) : 東京大学大学院理学系研究科
Affiliation (English) : Graduate School of Science, The University of Tokyo
キーワード/Keyword : 薄膜トランジスタ、リソグラフィ・露光・描画装置、膜加工・エッチング

1. 概要(Summary)

高精細なフラットパネルディスプレイの駆動用素子として、高移動度の非晶質半導体を用いた薄膜トランジスタの研究が盛んに行われている。現在、 InGaZnO_4 に代表される非晶質酸化物半導体を中心に実用化が進められているが、希少元素である In を主成分として含むため代替材料の開発が求められている。

我々は最近、酸化亜鉛(ZnO)の酸素の一部を異種アニオンで置換した非晶質 ZnOX ($X=\text{N}, \text{S}$) が高移動度の半導体であることを見出した。本課題では、これらの新奇非晶質半導体をチャンネル層に用いた薄膜トランジスタの作製を目的として、素子の加工を行った。

2. 実験(Experimental)

【利用した主な装置】

高速大面積電子線描画装置、マスク・ウエーハ自動現像装置群、4 インチ高真空 EB 蒸着装置、形状・膜厚・電気評価装置群、クリーンドラフト潤沢超純水付、ステルスダイサー

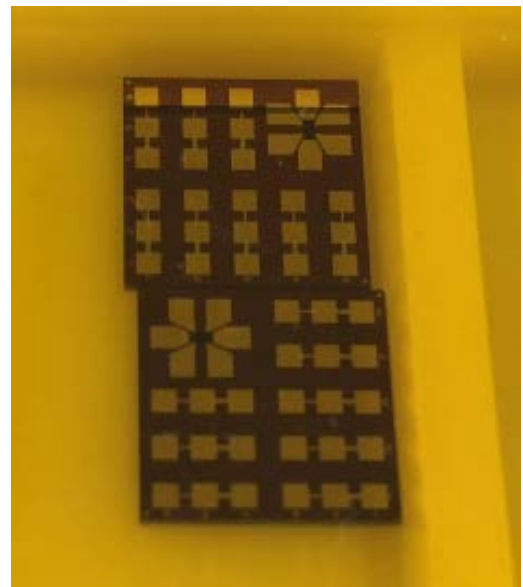
【実験方法】

ボトムゲートボトムコンタクト型素子作製の基板として、熱酸化膜付き 4 インチ N 型 Si 基板上にソースドレイン電極をリフトオフで形成した。パターン露光には高速大面積電子線描画装置を使用し、高真空 EB 蒸着装置を用いて Au/Ti 積層電極を形成した。電極を形成した基板上にチャンネル層蒸着用のレジストパターンを電子線描画装置を用いて形成したのち、ステルスダイサーにてチップ分割した。

作製したレジストパターン付きチップ上にパルスレーザー堆積法を用いて非晶質 ZnOX 薄膜を形成し、リフトオフにてチャンネルパターンを加工した。

3. 結果と考察(Results and Discussion)

上記プロセスにより、ほぼ設計通りのソースドレイン電極・レジストパターン付 Si 基板が得られた。現在は、 ZnOX チャンネル層の形成に取り組んでいる。



4. その他・特記事項(Others)

謝辞:

Si 基板上への電極・レジストパターン形成に関して、Eric Lebrasseur 研究員のご指導に感謝いたします。本研究の一部は科研費(No. 16H06441, 17H05475, 18H02054)の支援を受けて行われました。

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし