

課題番号 : F-18-TU-0127
利用形態 : 機器利用
利用課題名(日本語) : Si ウェハへの Epi-Si 成膜検討
Program Title(English) : Epitaxial-Si deposition on Si wafer
利用者名(日本語) : 青柳孝典¹⁾
Username(English) : T. Aoyagi¹⁾
所属名(日本語) : 1) パナソニック株式会社
Affiliation(English) : 1) Panasonic Corporation
キーワード/Keyword : 成膜・膜堆積、Epi-Si、熱 CVD

1. 概要(Summary)

現在、慣性センサを代表とする MEMS センサの小型化の実現方法として、センサの検出部となる錘部を、従来の SOI ウェハのハンドル層を用いる方法とは異なり、工程途中に成膜した Epi-Si、または Poly-Si 層を利用する手法が用いられている。今回、Si ウェハ上に成膜された SiO₂ 膜の上への、ボロンをドーパントとした低抵抗 Poly-Si 層の成膜を目指し、東北大学試作コインランドリの設備を利用し検証した。

2. 実験(Experimental)

【利用した主な装置】 熱 CVD 装置

【実験方法】

Si 基板を約 800°C に加熱をしながら、成膜ガスである SiH₄/B₂H₆ をチャンバ内で分解し、Poly-Si 膜第一層を 5min 積層、その後加熱温度を 1000°C に上昇し、成膜ガスを SiH₂Cl₂/B₂H₆ へ切り替え、Poly-Si 膜第二層を 100min 連続成膜した。成膜ガスをチャンバへ運ぶキャリアガスには、不活性ガスである H₂ を使用し、Poly-Si 膜のキャリア密度を決定する成膜ガスの流量は、MFC にて下記の通りに設定した。

(i) 第一層 SiH₄/B₂H₆=20/100sccm

(ii) 第一層 SiH₂Cl₂/B₂H₆=200/100sccm

3. 結果と考察(Results and Discussion)

積層後のウェハをへき開し、熱電子 SEM を用いて断面観察を行った結果を Fig. 1 に示す。

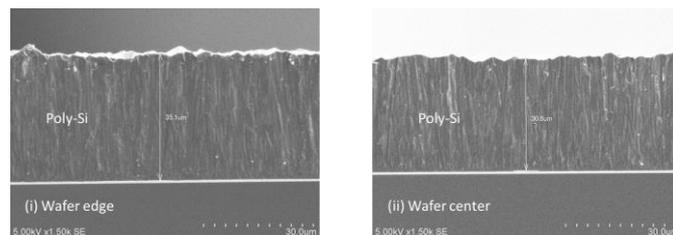


Fig. 1 SEM images of cross section of deposited Poly-Si at different locations (i) and (ii).

第二層の成膜時間 100min に対し、ウェハ外周部では約 35 μm 、ウェハ中央部では約 30 μm の柱状 Poly-Si 膜が成膜できていることが分かった。また、成膜下 Poly-Si 層の抵抗率を 4 探針測定装置により測定した結果、約 2.1 $\text{m}\Omega \cdot \text{cm}$ であり、Dektak 装置によるウェハ反り測定結果を元に内部応力を算出した結果、約 25MPa であることが分かった。

4. その他・特記事項(Others)

・成膜工程をサポート頂いた渡邊 拓様(東北大学研究員)に感謝します。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。