

課題番号 : F-18-TU-0107
 利用形態 : 機器利用
 利用課題名(日本語) : エレクトレット MEMS 振動・トライボ発電
 Program Title (English) : Electret MEMS energy harvester and tribo generator
 利用者名(日本語) : 本間浩章
 Username (English) : H. Honma
 所属名(日本語) : 東京大学生産技術研究所
 Affiliation (English) : Institute of Industrial Science(IIS), The University of Tokyo
 キーワード/Keyword : MEMS, エナジーハーベスタ, 成膜・膜堆積

1. 概要(Summary)

本研究で開発している静電型MEMS振動発電素子の製作では、CMOS技術であるLOCOS工程を用いることで、選択的に永久電荷(エレクトレット)を基板上の一部に配置している。このため、製作工程初期段階においてシリコン窒化膜(SiN)を基板表面に成膜する必要がある。今回、東北大学のナノテク融合技術支援センターの設備を利用して、SiNの成膜工程を行った。

2. 実験(Experimental)

【利用した主な装置】

LPCVD(SiN)

【実験方法】

本工程では、デバイス層 300, 400 μm、BOX層 5 μm、ハンドル層 500 μmの厚みを持つ2種類のSOI基板にSiN膜の成膜を行う。SOI基板は6インチの大きさである。SiN成膜条件を下記に示す。

ガス種(ガス流量):

・SiH₂Cl₂(40 sccm)

・NH₃(400 sccm)

圧力: 40 Pa

成膜時間: 54分

SiN膜厚は200nmを狙い成膜を行った。デバイス層300μmのSOI基板は10枚、400μmの基板も10枚あり、基板毎のSiN膜厚バラツキを可能な限り小さくするため2バッチに分けてSiN膜の成膜工程を行った。成膜後は膜厚を干渉膜厚計により測定した。

3. 結果と考察(Results and Discussion)

成膜後のSOI基板表面の干渉色バラツキは小さいように見えることから、面内でSiN膜厚は均一と予想することができる。実際に干渉膜厚計を使用しSiN膜厚を測定し

た。Fig. 1に6インチ基板内の測定点を示し、5点計測によるSiN膜厚の実測値を示す。これより、SiN膜厚は2バッチ共に180nm~210nmであり、膜厚設計値に近い成膜に成功した。さらに面内バラツキも膜厚平均値から±10nm以下となり、基板内で均一な成膜に成功したと言える。

本工程後は、SiNを成膜したSOI基板を用いMEMS振動発電素子の製作工程を進める。



Fig. 1 Sampling points for SiN film thickness measurement.

4. その他・特記事項(Others)

本研究は科学技術振興機構の戦略的創造研究推進事業(Grant番号 JPMJCR15Q4)の支援を受けています。

課題名「エレクトレット MEMS 振動・トライボ発電」

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし