

課題番号 : F-18-RO-0043  
 利用形態 : 共同研究  
 利用課題名(日本語) : 3次元パワーSupply on Chip のプロセス技術の開発  
 Program Title (English) : Development of process technology for 3D power supply on chip  
 利用者名(日本語) : 小野晃太、佐藤義貴、松本 聡  
 Username (English) : K. Ono, Y. Sato, and S. Matsumoto  
 所属名(日本語) : 九州工業大学大学院工学府電気電子工学専攻  
 Affiliation (English) : Department of Electrical engineering, Graduate School of Kyushu Institute of Technology  
 キーワード/Keyword : 接合、N&MEMS、パワーSupply on Chip、低温接合  
 Bonding, N&MEMS, Power Supply on Chip, Low temperature bonding

## 1. 概要(Summary)

近年電源の究極の小型化が可能なパワーSupply on Chip(power SoC)が注目を集めている[1]。我々の研究グループは、さらなる小型化を狙いとして3次元power SoC を提案した[2,3]。そのキープロセスとなるのは400℃以下での低温のウエハーto ウエハー、チップ to ウエハー、チップ to チップ接合技術である。本報告では、低温の接合技術について検討した結果を報告する。

## 2. 実験(Experimental)

【利用した主な装置】 深掘エッチャー

### 【実験方法】

Si 酸化膜/Si、絶縁膜/Si、絶縁膜/Si 酸化膜/Si 構造の基板またはチップを用いて、酸素プラズマにより表面を活性化した後、純水中に基板またはチップをディップし、チップまたはウエハーを接合し、真空中に放置した。なお、絶縁膜は原子層堆積装置で堆積した。1回目の接合で接合しなかった一部のチップについては150-450MPaで接合装置を用いて加圧しながら接合した。その後、一部のチップやウエハーについては接合後、真空中で200℃または400℃でアニールした。また一部のウエハー、研磨・研削後、Si 深掘用のエッチング装置でエッチングした。

## 3. 結果と考察(Results and Discussion)

ウエハーto ウエハー接合では、酸化膜-酸化膜、絶縁膜-絶縁膜はそれぞれ7枚中7枚、4枚中4枚接合した。ウエハーto ウエハー接合では、100%接合可能であった。チップ to チップの接合においては、酸化膜-酸化膜での接合の場合、27 組中19組、絶縁膜-絶縁膜の接合の場合19 組中11 組接合できた。酸化膜-酸化膜での接合で接合しなかったチップに対して真空中で加圧したところ、8組中7組接合した。図1に酸化膜-酸化膜接合の場合の、接合面積と接着強度の関係を示す。チップ to チップ

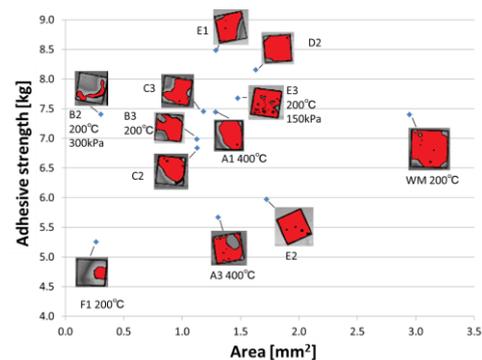


Fig. 1. Dependence of adhesive strength on adhesive area.

接合の場合、接合強度はアニール温度や圧力には依存しない。低接合強度では、接合強度は接合面積に依存した。

## 4. その他・特記事項(Others)

・参考文献

[1] <http://pwrsocevents.com/>

[2] K. Hiura, et al., JJAP, 56. 04CR13, 2017.

[3] K. Ono et al., IEEE ECTC2018, 27.7, 2018.

・競争的資金:JSPS 科研費 18H01430

本試料の一部は、NIMS および北九州産業学術推進機構共同研究開発センターの微細加工プラットフォームの設備を利用した。

・共同研究者名: 横山 新(広島大学), 田部井哲夫(広島大学), 佐藤 旦(広島大学)

## 5. 論文・学会発表(Publication/Presentation)

K. Ono, K. Hiura, and S. Matsumoto, “Design consideration of a 3D stacked power supply on chip”, 2018 IEEE Electronic Components and Technology Conference, Session 27.7,2018.

## 6. 関連特許(Patent)

なし