

課題番号 : F-18-NM-0025
利用形態 : 機器利用
利用課題名(日本語) : CMP 装置を用いたシリコン電子回路チップの薄化に関する研究
Program Title(English) : Thinning of the silicon based electronic circuit chip using CMP equipment
利用者名(日本語) : 竹下俊弘
Username(English) : T. Takeshita
所属名(日本語) : 産業技術総合研究所
Affiliation(English) : National Institute of Advanced Industrial Science and Technology
キーワード/Keyword : N&MEMS、研磨、フレキシブルハイブリッドエレクトロニクス

1. 概要(Summary)

極薄化したシリコン回路チップをフレキシブル基板上に実装するフレキシブルハイブリッドエレクトロニクス(FHE)技術はウェアラブルデバイス開発にとって重要な技術として注目されている[1]。今回、ベアダイのオペアンプチップ(OPA2277, テキサスインスツルメント)の薄化を、NIMS 微細加工 PF の CMP 研磨装置を用いて行い、フレキシブル基板上での動作確認を行う。

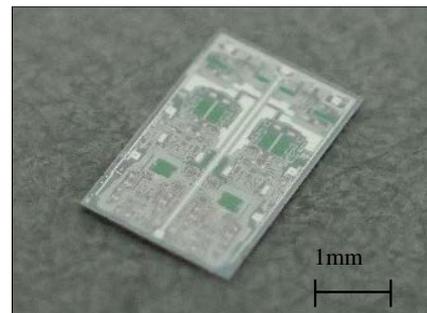


Fig. 1 Thin OPAMP chip.

2. 実験(Experimental)

【利用した主な装置】

- ・ CMP 研磨装置

【実験方法】

2 mm×3 mm のベアダイのオペアンプチップを薄化する。初期チップ厚さ 350 μm から 30 μm 程度まで薄化することを目標とし、下記条件で研磨加工を行う。

- ラッピング: 砥粒 3 μm , 荷重 1000 g,
- ポリッシング: SF1, 荷重 1000 g

また研磨加工を行ったオペアンプチップを、弊所の実装機にてフレキシブル基板上に実装し、動作確認を行う。

3. 結果と考察(Results and Discussion)

作製したサンプルを Fig. 1 に示す。また動作確認結果を Fig. 2 に示す。薄化加工を行ったオペアンプチップを用いて 3 倍の非反転増幅回路を形成し、その動作確認結果を行った。入力電圧に対して、出力電圧が 3 倍となっており、薄化したオペアンプチップが問題なく動作していることが確認できる。

4. その他・特記事項(Others)

- ・ 参考文献: [1] J.D. Brand *et al.*, Solid-State electronics **113**, (2015)

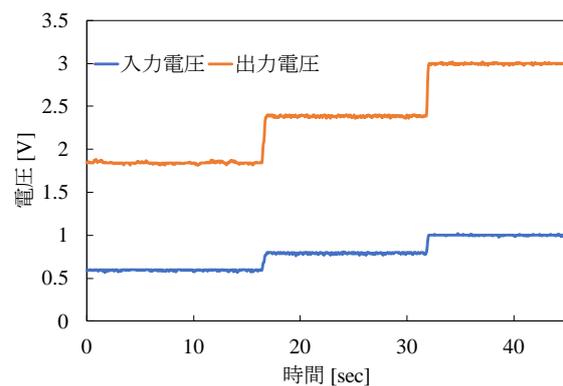


Fig. 2 Performance of Thin OPAMP chip.

- ・ 共同研究者: 産業技術総合研究所 小林健, 竹井祐介, 武井亮平, 大内篤
- ・ 競争的資金: 新エネルギー・産業技術総合開発機構 (NEDO) の委託事業「次世代プリントドエレクトロニクス材料・プロセス基盤技術開発」(16100526-0)
- ・ 技術支援者: 津谷 大樹 (NIMS 微細加工 PF)

5. 論文・学会発表(Publication/Presentation)

- (1) 竹下俊弘, 竹井祐介, 武井亮平, 大内篤, 小林健, エレクトロニクス実装学会春季講演大会 (2019).

6. 関連特許(Patent)

なし