

課題番号 : F-18-NM-0004
利用形態 : 技術補助
利用課題名 (日本語) : 4インチSi基板を用いたグラフェン FET 標準フローの構築
Program Title (English) : Construction of standard process flow for graphene FET with 4 inch Si wafer.
利用者名 (日本語) : 平賀広貴
Username (English) : H.Hiraga
所属名 (日本語) : 株式会社東芝
Affiliation (English) : Toshiba Corporation
キーワード/Keyword : 化学&分子テクノロジー、リソグラフィ・露光・描画装置、グラフェン、センサー、FET

1. 概要 (Summary)

我々はグラフェン FET (Field Effect Transistor)を用いた高感度センサー開発を行っており、実用化へ向けてウエハの大口径化に取り組む必要がある。今回 NIMS 微細加工プラットフォーム共用設備にてグラフェンが添付された4インチSi基板を用いた標準作製フローを構築する。

2. 実験 (Experimental)

【利用した主な装置】

ウエハ RTA 装置、原子層堆積装置、高速マスクレス露光装置、プラズマアッシャー、UV オゾンクリーナー、多目的ドライエッチング装置、12 連電子銃型蒸着装置、等

【実験方法】

4 インチサイズの SiO₂/Si 基板上に転写された CVD-グラフェンを用いて実験した。初めにウエハ RTA 装置にてグラフェンを洗浄し、フォトリソグラフィ、酸素ドライエッチングにより転写したグラフェンを FET 形状に加工(アイソレーションステップ)した。アセトンでレジストを除去し、フォトリソグラフィ、金属蒸着、リフトオフによりグラフェン上に金属電極を形成(電極形成ステップ)した。検査として各ステップでの光学顕微鏡による出来栄検査を行い、弊社研究開発センターにおいて FET 特性を評価した。プロセスにおいて生じた課題に対して協議し、フィードバックを行った。またグラフェンをレジスト汚染から保護する目的として ALD 装置を用いたアルミナ膜の効果を検証した。

3. 結果と考察 (Results and Discussion)

プロセスフロー構築における代表的な改善例を以下に示す。アイソレーションステップ後の光学顕微鏡像で Figure 1 (left) に示すようなレジスト残渣がグラフェン膜近辺に存在することを確認した。これはプラズマアッシャーやアセトンエッチング条件を見直すことで発生を抑制で

きた。また、Figure 1 (right) に示すリフトオフ後のアイソレーションステップにおけるレジストのバリが発生していた。これは UV オゾンプロセスに原因があることがわかり、条件見直しにより除去することができた。

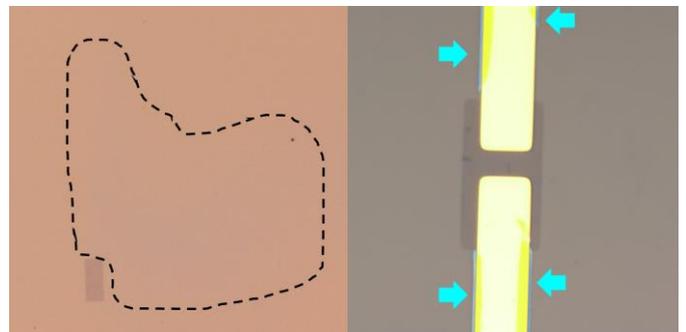


Figure 1 Optical images after graphene isolation step (left: dotted line indicates resist residue) and lift-off step (right: arrows indicate resist burrs).

幾度かのプロセスフィードバックを経て、4 インチウエハ全体から良品 FET が得られることができるようになり、量産・実用化へ向けて前進することができた。アルミナ膜によるグラフェン保護の効果は、FET 良品率への悪影響が見られ、更なる条件検討が必要であると結論付けられた。今後、更なる良品率の向上とセンサー機能向上を実施する予定である。

4. その他・特記事項 (Others)

謝辞: NIMS 微細加工 PF の吉田美沙様、渡辺英一郎様、津谷大樹様に技術支援とプロセス改良の議論を頂きました。感謝申し上げます。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。