

課題番号 : F-18-KT-0122  
 利用形態 : 技術補助  
 利用課題名(日本語) : Nanotech-CUPAL N.I.P KY002 電子線描画装置アドバンスコース <<短期型>>  
 Program Title(English) : Nanotech-CUPAL N.I.P KY002 Advanced Course for Electron-beam Lithography << Short-term type >>  
 利用者名(日本語) : 山田浩樹, 高瀬光志, 中嶋宇史  
 Username(English) : H. Yamada, K. Takase, T. Nakajima  
 所属名(日本語) : 東京理科大学 理学部第一部 応用物理学科  
 Affiliation(English) : Tokyo University of Science  
 キーワード/Keyword : リソグラフィ・露光・描画装置、微細加工、MEMS・NEMS 技術、電子線描画

### 1. 概要(Summary)

近年、微細加工技術として注目されている技術分野に MEMS・NEMS があり、多岐にわたる分野で研究や開発が行われている。今回は、微細加工の基幹技術である電子線描画について、最新鋭の大面积超高速電子線描画装置を使用した Si ウェハへの描画を行い、基本技術の習得を目指した。

### 2. 実験(Experimental)

#### 【利用した主な装置】

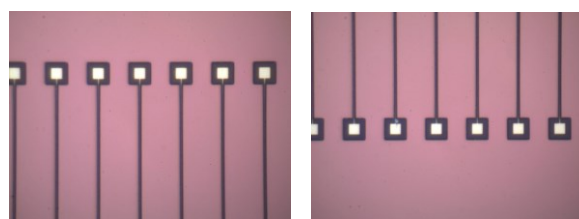
大面积超高速電子線描画装置、真空蒸着装置、超高分解能電界放出形走査電子顕微鏡、マニュアルスピナー

#### 【実験方法】

スピナーによって ZEP-520A、PMGI、ZEP-520A の順に Si 基板に 3 層レジストを成膜した。このようにして作製したレジストに大面积超高速電子線描画装置を用いて微細パターンを描画した。その後、真空蒸着装置を用いて Cr/Au 薄膜を蒸着し T ゲート電極を作製した。さらに走査電子顕微鏡を用いてその構造観察を行った。

### 3. 結果と考察(Results and Discussion)

3 層レジストに大面积超高速電子線描画装置を用いて行ったパターンの設計図および描画結果をそれぞれ Fig. 1 と Fig. 2 に示す。Fig. 2 から電子線描画が成功してい

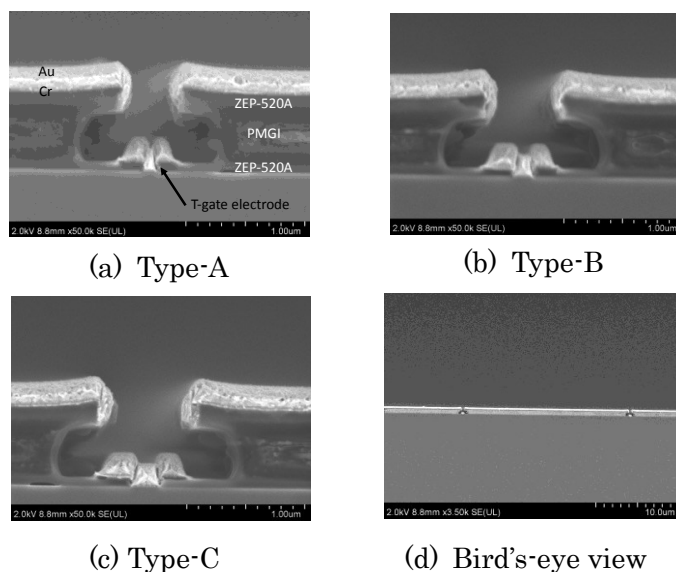


(a) top (b) bottom

Fig. 2 Pictures of T-gate patterns obtained by electron beam lithography.

ることがわかる。

さらに真空蒸着装置を用いて金属薄膜を蒸着して作製した T ゲート電極の SEM 観察像を Fig. 3 に示す。Fig. 3 より T ゲート電極が正しく作製できていることがわかる。また、Type-A、Type-B、Type-C ごとに T ゲートの線幅  $d$  を変化させることに成功していることがわかる。以上の実習過程を通じて、電子線描画装置を用いた微細加工に関する技術習得を行うことができた。



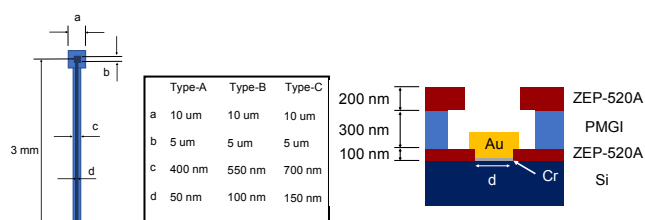
(a) Type-A

(b) Type-B

(c) Type-C

(d) Bird's-eye view

Fig. 3 SEM images of T-gate structure electrode.



(a) Whole view

(b) Cross-sectional view

Fig. 1 T-gate pattern fabricated in this study.

4. その他・特記事項 (Others)

特になし。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。