

課題番号 : F-18-IT-0046
利用形態 : 技術代行
利用課題名(日本語) : Ge 量子ドットデバイス作製に向けた二層 EB レジストの条件出し
Program Title (English) : Optimization of conditions of double-layer EB resists for Ge QD device fabrication
利用者名(日本語) : 溝口来成, 小寺哲夫
Username (English) : R. Mizokuchi, T. Kodera
所属名(日本語) : 東京工業大学工学院
Affiliation (English) : School of Engineering, Tokyo Institute of Technology
キーワード/Keyword : リソグラフィ・露光・描画装置、形状・形態観察、量子ドット、ナノエレクトロニクス

1. 概要(Summary)

量子コンピュータの構成する量子ビットの候補として半導体量子ドット中の電荷スピンの集積性から有力視されている。また、材料に Ge を用いることで量子ビットの長寿化と高速操作が期待される。Ge/SiGe ヘテロ構造基板中に量子ドットの形成を行うため、量子井戸中のポテンシャルを制御する微小ゲートが基板表面に必要となる。また、この微小ゲートを多層かすることで、Si 基板などを用いた量子ドットで高い制御性が実現されてきた[1]。比較的容易にこの多層構造を作製するため、表面に(ある程度)質の良い自然酸化膜ができる Al がよく用いられるが、リフトオフの難しさから膜圧の厚いレジストが必要になる。本研究ではこのような Al 微小ゲート作製に向けて、露光量の違う EB レジストを重ねた二層レジストの露光条件の条件出しを行った。装置は東京工業大学ナノプラットフォームの電子線露光装置を利用した。

2. 実験(Experimental)

【利用した主な装置】

電子ビーム露光装置(スピンコータ・ホットプレート・オープン等を含む)、電子ビーム露光データ加工ソフトウェア、走査型電子顕微鏡、触針式段差計

【実験方法】

Si 基板を用いて、二層レジスト(PMMA/PMGI)の露光量の条件出しを行った。

レジスト塗布:

PMGI SF3 (1st 500 rpm 5 sec, 2nd 6000 rpm 60 sec, 膜厚~85 nm)

プリベーク (オープン 170 °C, 5 min)

PMMA 1:1.5 (1st 500 rpm 5 sec, 2nd 6000 rpm 60 sec, 膜厚~60 nm)

プリベーク (オープン 170 °C, 20 min)

露光量: 500-1000 $\mu\text{C}/\text{cm}^2$

3. 結果と考察(Results and Discussion)

露光に使用した設計パターンと現像後のサンプルの SEM 像を示す(Fig.)。比較すると全体的によく設計通りにパターンが作製できていることがわかる。しかしながら今回は実際のデバイスとは異なり、絶縁膜のない Si 基板上でのテストであるため、今後は実際のデバイスに近い絶縁膜のある SiGe 基板でテストを行っていく。

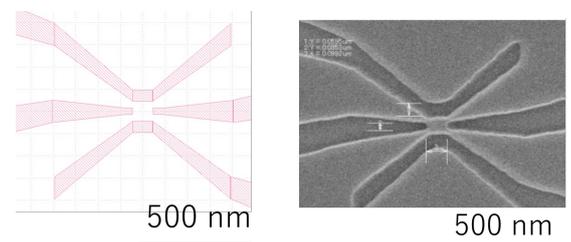


Fig. (left) Design of a first gate layer for a single quantum dot device. (right) An SEM of an EB resist after patterned with the design in the left figure for 700 $\mu\text{C}/\text{cm}^2$.

4. その他・特記事項(Others)

・参考文献:[1] S. Angus, et al., *Nano Lett.* **7**, 2051 (2007).

・河田眞太郎様(東工大)に感謝します。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。