

課題番号 : F-18-IT-0035
利用形態 : 技術代行
利用課題名(日本語) : Ge 量子ドットデバイス作製に向けた EBレジストの条件出し
Program Title (English) : Optimization of conditions of EB resists for Ge QD device fabrication
利用者名(日本語) : 溝口来成, 小寺哲夫
Username (English) : R. Mizokuchi, T. Kodera
所属名(日本語) : 東京工業大学工学院
Affiliation (English) : School of Engineering, Tokyo Institute of Technology
キーワード/Keyword : リソグラフィ・露光・描画装置、形状・形態観察、量子ドット、ナノエレクトロニクス

1. 概要(Summary)

量子コンピュータの構成する量子ビットの候補として半導体量子ドット中の電荷スピンの集積性から有力視されている。また、材料に Ge を用いることで量子ビットの長寿化と高速操作が期待される。Ge/SiGe ヘテロ構造基板中に量子ドットの形成を行うため、量子井戸中のポテンシャルを制御する微小ゲートが基板表面に必要となる。また、この微小ゲートを多層かすることで、Si 基板などを用いた量子ドットで高い制御性が実現されてきた[1]。比較的容易にこの多層構造を作製するため、表面に(ある程度)質の良い自然酸化膜ができる Al がよく用いられるが、リフトオフの難しさから膜厚の厚いレジストが必要になる。本研究ではこのような Al 微小ゲート作製に向けて、東京工業大学ナノプラットフォームの電子線露光装置を利用して、露光条件の条件出しを行った。

2. 実験(Experimental)

【利用した主な装置】

電子ビーム露光装置(スピンコータ・ホットプレート・オープン等を含む)、電子ビーム露光データ加工ソフトウェア、走査型電子顕微鏡、触針式段差計

【実験方法】

単層レジスト(PMMA)を使用し、露光量を調整した。

レジスト塗布:

PMMA 1:1.5 (1st 500 rpm 5 sec, 2nd 2500 rpm 60 sec, 膜厚~150 nm)

プリバーク (オープン 170 °C, 20 min)

露光量: 800-1000 $\mu\text{C}/\text{cm}^2$

3. 結果と考察(Results and Discussion)

露光に使用した設計パターンと現像後のサンプルの SEM 像を示す(Fig.)。比較すると全体的に設計よりもパタ

ーンが広がっていることがわかる。特に赤い矢印で示された部分は、量子ドットのトンネル接合を制御するゲートに対応するが、設計の倍近い幅を持っており、今回の条件ではデバイスの作製を行うことは困難であると結論づけた。膜圧が 150 nm と厚く大きな露光量が必要となることが問題だと考えられる。今後は感度の違う二層のレジストを利用することで設計通りのパターンを露光することを目指す。

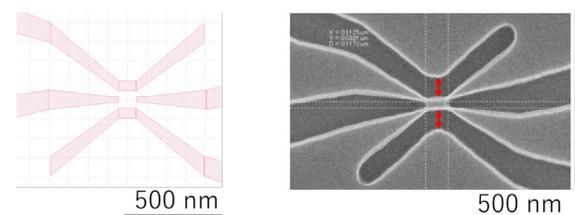


Fig. (left) Design of a first gate layer for a single quantum dot device. (right) An SEM of an EB resist after patterned with the design in the left figure for 900 $\mu\text{C}/\text{cm}^2$.

4. その他・特記事項(Others)

・参考文献:[1] S. Angus, et al., *Nano Lett.* **7**, 2051 (2007).

・河田真太郎様(東工大)に感謝します。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。