

課題番号 : F-18-HK-0054  
利用形態 : 技術代行  
利用課題名(日本語) : PZT 薄膜上の SiO<sub>2</sub> 薄膜形成  
Program Title (English) : SiO<sub>2</sub> deposition on PZT thin-film  
利用者名(日本語) : 安田喜昭、谷雅直、荻原宏之  
Username (English) : Y. Yasuda, M. Tani, H. Ogihara  
所属名(日本語) : スタンレー電気株式会社  
Affiliation (English) : Stanley Electric, Co. Ltd.  
キーワード/Keyword : 成膜・膜堆積、MEMS、PZT / Deposition, MEMS, PZT

## 1. 概要(Summary)

圧電 MEMS デバイスのセンサ応用において高い正圧電効果を得るためには、低誘電率の圧電膜を用いることが望ましい。PZT 膜では結晶性を高くすることで低誘電率を求めることが知られているが、さらに低い誘電率を目指し、北海道大学ナノテク連携研究推進室の設備を利用して、PZT 薄膜上に低誘電率層を形成することを試みた [1][2]。その結果、As-depo に対して誘電率を低くすることができた。しかし、カンチレバー加工および評価ではプロセスダメージにより上部電極に部分的な剥離が生じてしまい、d<sub>31</sub> 測定が実施できなかった。加工条件および層構成については、今後の課題である。

## 2. 実験(Experimental)

【利用した主な装置】 原子層堆積装置(ALD)

【実験方法】

PZT 薄膜付き基板に基板温度 300°C で SiO<sub>2</sub> を成膜した。SiO<sub>2</sub> 膜厚は 10nm と 15nm の 2 種類とした。ALD による成膜条件は、ビス(ジエチルアミノ)シラン 150sccm、オゾン 100sccm、21.24nm/cycle の条件で行った。

作製したサンプルに電極層をスパッタで成膜した後、自社にてカンチレバー加工を行い誘電率と d<sub>31</sub> 測定を行った。

## 3. 結果と考察(Results and Discussion)

SiO<sub>2</sub> 成膜有無による誘電率の比較を Fig.1 に示す。SiO<sub>2</sub> 層により全体の誘電率を低くすることができた。

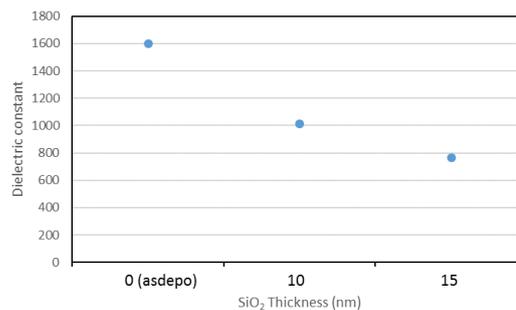


Fig.1 Dependence of the dielectric constant on the SiO<sub>2</sub> film thickness

次に、d<sub>31</sub> 評価を行うためにカンチレバー加工を実施した。主な加工プロセスはドライエッチング技術を用いたが、その際に加わるプラズマ及び熱ダメージによって、ALD 膜と上部電極界面に部分的な剥離が発生した。さらに電圧印加時に発生する応力によって、剥離が進行する結果となり、d<sub>31</sub> 評価を実施するに至らなかった。

## 4. その他・特記事項(Others)

・参考文献

[1] S. T. McKinstry *at al.*, IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, vol. 58, no. 9, September 2011

[2] D. Hiller *at al.*, JOURNAL OF APPLIED PHYSICS 107, 064314, 2010

・謝辞: 松尾保孝様(北海道大学)のご支援・ご協力に対しまして、深く感謝申し上げます。

## 5. 論文・学会発表(Publication/Presentation)

なし

## 6. 関連特許(Patent)

なし