

課題番号 : F-18-BA-0013
利用形態 : 機器利用
利用課題名(日本語) : 超高効率グラフェン平面電子源の開発
Program Title (English) : Development of highly efficient graphene planar electron source
利用者名(日本語) : 村上勝久
Username (English) : K. Murakami
所属名(日本語) : 国立研究開発法人産業技術総合研究所
Affiliation (English) : National Institute of Advanced Industrial Science and Technology
キーワード/Keyword : 形状・形態観察・分析、グラフェン、電子放出デバイス、膜加工・エッチング、FIB-SEM

1. 概要(Summary)

MOS(Metal/Oxide/Semiconductor)構造を用いた平面型電子放出素子は、従来の針状陰極構造を有する冷陰極素子に比べて、低電圧で動作可能、既存の半導体プロセスで作製可能、動作可能な真空度の制約が少ない、面放出であるなど様々な特徴を有している。しかしながら、電子取り出し効率の低さが MOS 型電子放出素子の実用化を妨げている。

我々の研究グループでは MOS 形電子放出素子の上部電極にグラフェンを用いた GOS(Graphene/Oxide/Semiconductor)構造の平面型電子放出素子を試作し、上部電極での電子散乱を抑制することにより、電子放出効率の改善を試みている。

2. 実験(Experimental)

【利用した主な装置】

FIB-SEM

【実験方法】

ベースとなる基板には熱酸化膜付 n-Si 基板(酸化膜厚 300 nm)を用いた。電子放出部のサイズは 10~100 μm 角で、パターン投影ソグラフィと緩衝弗酸によるウェットエッチングによりパターンニングした。その後、RCA 洗浄を行った後に、電子放出部に膜厚 10 nm の熱酸化膜層を酸素流量 2 L/min、加熱温度 900 度、成膜時間 10 min で作成した。上部の多層グラフェン電極(1.8~7 nm)は独自に開発した化学気相成長法を用いて、成長時間 1 時間、900 度で基板全面に成膜した。成膜したグラフェン上にコンタクト電極として Ni/Ti 電極をフォトリソグラフィ、電子ビーム蒸着、リフトオフプロセスにより作製した。作製したデバイス構造の分析のために、FIB-SEM を用いて TEM(Transmission electron microscope)用の薄片サンプルを作製した。

3. 結果と考察(Results and Discussion)

Fig.1 に作製した薄片サンプルの SEM(Scanning electron microscope)写真を示す。加速電圧 5 kV の SEM 像において、薄片サンプルのコントラストが白くなっていることが分かる。これは、薄片を透過した電子が、チャンバー壁面にまで到達し、そこから放出される二次電子を検出したことにより生じる現象である。加速電圧 5 kV の電子が薄片サンプルを十分に透過できていることから、TEM での分析が十分可能な厚さまで、サンプルが薄片化できていることが分かる。今後、断面構造のナノレベルでの観察を実施する予定である。

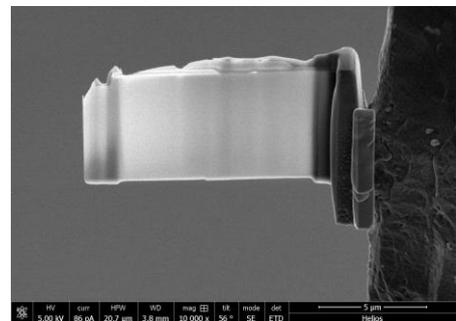


Fig. 1 SEM image of cross sectional TEM sample of GOS device fabricated by FIB-SEM.

4. その他・特記事項(Others)

・科学研究費補助金基盤研究(B) (18H01505)

5. 論文・学会発表(Publication/Presentation)

(1) K. Murakami, “Graphene-oxide-semiconductor planar-type electron emission device and its applications”, IVNC2018, Kyoto, Japan, July 11th, 2018. (Invited)

6. 関連特許(Patent)

なし