

課題番号 : F-18-AT-0142  
 利用形態 : 機器利用  
 利用課題名(日本語) : 単原子層 MoSe<sub>2</sub>/WSe<sub>2</sub> 面内ヘテロデバイスの作製と測定  
 Program Title (English) : Fabrication and measurement of single atomic layer MoSe<sub>2</sub>/WSe<sub>2</sub> in-plane hetero device  
 利用者名(日本語) : 清水宏  
 Username (English) : H. Shimizu  
 所属名(日本語) : 首都大学東京大学院理学研究科  
 Affiliation (English) : Graduate school of Sci., Tokyo Metropolitan University  
 キーワード/Keyword : リソグラフィ・露光、電気計測、面内ヘテロ接合、MoSe<sub>2</sub>、WSe<sub>2</sub>、

### 1. 概要(Summary)

単原子層 MoSe<sub>2</sub>/WSe<sub>2</sub> の面内ヘテロ接合をもつ結晶は、結晶間の幅が~10 μm と狭く、メタルマスクによるデバイス作製が困難である。今回、面内ヘテロ接合を持つ結晶の電気伝導特性の解明を目指し、産業技術総合研究所ナノプロセッシング施設の設備を利用して、面内ヘテロデバイスの作製と測定をした。

### 2. 実験(Experimental)

#### 【利用した主な装置】

マスクレス露光装置、スピコーター、電子ビーム真空蒸着装置

#### 【実験方法】

スピコーターでレジストを塗布した後、マスクレス露光装置で 2 端子デバイスを作製する。その後、電子ビーム真空蒸着装置で Ti を 0.5 nm 蒸着し、その上に Au を 50 nm 蒸着した。

### 3. 結果と考察(Results and Discussion)

電極蒸着後の試料を Fig. 1 に示す。ソースドレイン間の電圧を、-10 V から 10 V までかけたときの電流値を、バックゲートにかけた電圧ごとに分けたグラフを Fig. 2 に示す(V<sub>G</sub>=xx V は、ソースゲート間に xx V(ボルト)の定電圧をかけた状態で測定したという意味)。バックゲートに負の電圧をかけると電流が多く流れることから、P 型半導体の特性を示す WSe<sub>2</sub> の影響が大きいと考えられる。

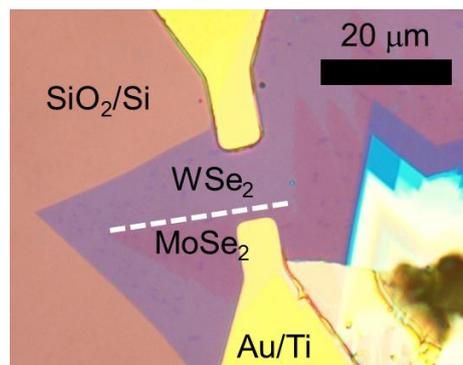


Fig. 1 Photograph of MoSe<sub>2</sub>/WSe<sub>2</sub> device deposited with Au(50.0 nm) and Ti(0.5 nm) .

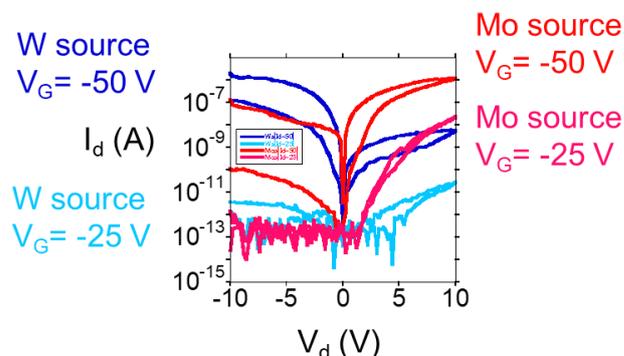


Fig. 2 Current between MoSe<sub>2</sub> and WSe<sub>2</sub>.

### 4. その他・特記事項(Others)

・試料作成者: 首都大学東京 遠藤尚彦様

### 5. 論文・学会発表(Publication/Presentation)

なし。

### 6. 関連特許(Patent)

なし。