

課題番号 : F-18-AT-0141
利用形態 : 機器利用
利用課題名(日本語) : 抵抗変化型メモリを用いたアナログメモリ素子の試作
Program Title (English) : Fabrication of Analog Memory Device Using Resistance Change Memory Devices
利用者名(日本語) : 山下健弥, 森江隆
Username (English) : K. Yamashita, T. Morie
所属名(日本語) : 九州工業大学大学院生命体工学研究科
Affiliation (English) : Graduate School of Life Science and Systems Engineering, Kyushu Institute of technology
キーワード/Keyword : 切削、配線加工、ダイシングソー

1. 概要(Summary)

脳の情報処理機能を模倣した脳型集積回路(LSI)の研究が盛んになっており、既存デジタル方式より低消費電力・高性能化が可能になるアナログ方式での実現が期待されている。超低消費電力を実現する時間領域アナログ方式が提案されているが、その実現のためにはシナプス部に高抵抗を持つアナログメモリ素子が必要となる。MOSFET 上に TaOx を用いた抵抗変化型メモリ(ReRAM)を形成し、アナログメモリ特性を評価する為、産業技術総合研究所ナノプロセッシング施設の供用設備を利用し、試作のための条件出し、配線加工を行った。

2. 実験(Experimental)

【利用した主な装置】

ダイシングソー

【実験方法】

産業技術総合研究所ナノエレクトロニクス研究部門の設備を用いて MOSFET を試作した。埋め込み配線加工において、CMP 処理でメタル研磨レートの状態出しを行う必要があったため、ダミーウエハに配線加工に使用する Al と TiN, SiO₂ を成膜し、産業技術総合研究所ナノプロセッシング施設のダイシングソーを用いてチップに切り出し、CMP 処理を行った。その後、配線加工を行った。

3. 結果と考察(Results and Discussion)

CMP 処理を行った結果、Fig. 1 のように配線が埋め込まれた。今後は共同研究先の北海道大学の設備で ReRAM 形成を行い、測定・評価を行う。

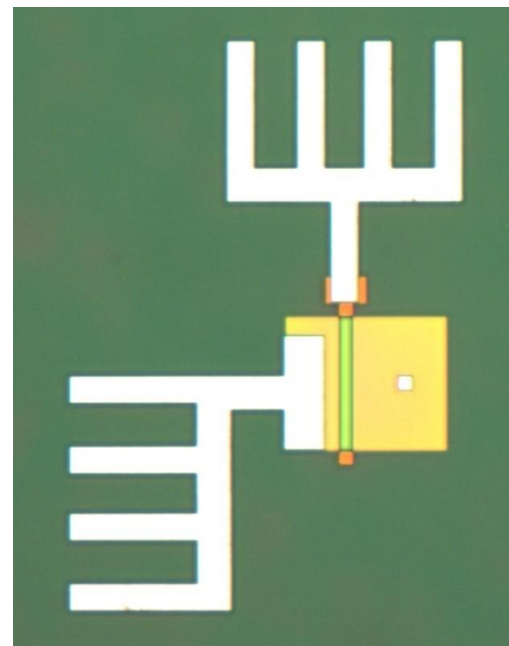


Fig. 1 Implantation wiring after the CMP processing.

4. その他・特記事項(Others)

本研究は科研費・基盤研究(A)「超並列アナログ脳型LSIに向けたナノ構造メモリ素子とその集積回路化の研究」の助成を受けた。また、産業技術総合研究所ナノエレクトロニクス研究部門新材料集積グループの遠藤和彦氏にレイアウト設計協力、IC 試作支援いただいた。ここに感謝の意を表す。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。