

課題番号 : F-18-AT-0106  
利用形態 : 機器利用  
利用課題名(日本語) : Ge 系ゲートスタックの作製と評価  
Program Title (English) : Fabrication and characterization of Ge-based gate stack  
利用者名(日本語) : 石井寛仁<sup>1), 2)</sup>, 前田辰郎<sup>1), 2)</sup>  
Username (English) : H. Ishii<sup>1), 2)</sup>, T. Maeda<sup>1), 2)</sup>  
所属名(日本語) : 1) 東京理科大学基礎工学部電子応用工学科, 2)AIST  
Affiliation (English) : 1) Tokyo University of Science Graduate School of Industrial Science and Technology Department of Applied Electronics, 2)AIST  
キーワード/Keyword : 形状・形態観察、分析、成膜・膜堆積、スパッタ

## 1. 概要(Summary)

近年、リソグラフィなどを用いた 2 次元的なスケールアップをもとに製造されてきた Si MOSFET では、トランジスタとして実現しなくてはならないオン電流、消費電力、短チャネル効果抑制の 3 つの要素が、互いにトレードオフの関係になってしまうことから、単純に微細化するだけでは、性能の向上が見られなくなってきた。そのため Si に代わる新しいチャンネル材料として Si よりも高い電子、正孔移動度を有する Ge が注目されている。しかしながら、Ge は Si に比べて酸化膜との界面の制御が非常に難しいことから、様々なプロセス検討が必要である。本研究では、ゲート絶縁膜として Y<sub>2</sub>O<sub>3</sub>を使用した Ge ゲートスタックの性能向上に向けたプロセスの検討を行った。

## 2. 実験(Experimental)

### 【利用した主な装置】

電子ビーム真空蒸着装置

### 【実験方法】

高真空反応性 DC マグネトロンスパッタ装置で Ge 基板上に Y<sub>2</sub>O<sub>3</sub>を堆積させた。スパッタは Ar/O<sub>2</sub> 雰囲気、パワー100 W の条件で行った。その後同じ装置で Y<sub>2</sub>O<sub>3</sub> 上に TaN を堆積させた。スパッタは Ar/N<sub>2</sub> 雰囲気、パワー100 W の条件で行った。作製したサンプルは以下の通り:

(a) TaN/Y<sub>2</sub>O<sub>3</sub>/Ge 基板(TaN:30 nm, Y<sub>2</sub>O<sub>3</sub>:5 nm)

(b) TaN/Y<sub>2</sub>O<sub>3</sub>/Ge 基板(TaN:30 nm, Y<sub>2</sub>O<sub>3</sub>:15 nm)

露光装置でパターンを露光した後、MOS キャパシタの電極部分を作製するために電子ビーム真空蒸着装置を用いて Au(250 nm)/Pt(15 nm)/Ti(15 nm)を TaN 上に真空蒸着し、リフトオフ法にて電極を作製した。その後 RIE を用いて TaN をドライエッチングすることで電極を分離し、

PDA 処理をした後に MOS キャパシタの C-V を測定した。PDA は N<sub>2</sub> 雰囲気、温度 400°C、10 分の条件で行った。

## 3. 結果と考察(Results and Discussion)

作製した MOS キャパシタの C-V 特性を Fig. 1 に示す。

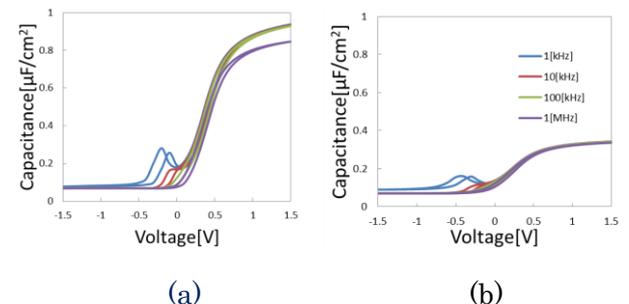


Fig. 1 C-V characteristics of TaN/Y<sub>2</sub>O<sub>3</sub>/Ge gate stack (a) Y<sub>2</sub>O<sub>3</sub>:5 nm, (b) Y<sub>2</sub>O<sub>3</sub>:15 nm.

すべての周波数において C-V 特性のヒステリシスが小さいことから界面準位が低いことが予想される。

## 4. その他・特記事項(Others)

なし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。