

課題番号 : F-18-AT-0099
 利用形態 : 機器利用
 利用課題名(日本語) : GaAs 基板の深ビア加工
 Program Title (English) : Deep via etching of GaAs substrate
 利用者名(日本語) : 稲田智志
 Username (English) : S. Inada
 所属名(日本語) : 富士ゼロックス株式会社
 Affiliation (English) : Fuji Xerox Co. Ltd.
 キーワード/Keyword : 膜加工・エッチング, GaAs, 半導体レーザー

1. 概要(Summary)

光通信向けを始めとする半導体レーザーを用いた光学デバイスにおいては、その動作温度制御が重要となる。例えば、シリコン基板と異なり熱伝導度が悪い GaAs 基板を用いた HBT (Heterojunction Bipolar Transistor) デバイスでは、電極のグラウンド取得のためだけでなく、放熱性向上のためにスルービアを形成する場合もある。GaAs 基板の場合、Si 基板と比べウェハが脆弱であるため、より厚い基板膜厚が求められ、そのためにはより深いビアを形成する必要がある。

今回、産業技術総合研究所(AIST)の設備を利用して、GaAs 基板の高いスルーピットかつアスペクト比(A/R)なビア加工条件を検討した。

2. 実験(Experimental)

【利用した主な装置】

コンタクトマスクアライナー [MJB4]
 化合物半導体エッチング装置(ICP-RIE)

【実験方法】

3 インチサイズの電気評価まで可能な TEG を作製し、ICP RIE の加工条件振りを行った。基板温度のプロセスへの影響を確認するため、ウェハを 4 インチ Si ウェハに固定する際、(1)カプトンテープによる貼付(ウェハ間接着剤が無い場合、基板温度が高くなる。)、(2)真空グリスによる貼付(ステージ温度で基板も制御される。)の 2 種類の方法を用いて比較した。塩素系ガスをベースにし、その圧力とバイアスの加工形状およびエッチングレートへの寄与を評価した。

3. 結果と考察(Results and Discussion)

Fig. 1(a)は今回作製した TEG ウェハである。これを4インチの Si ウェハにカプトンテープで貼り付け RIE 加工を行ったところ、加工後に Fig. 1(b)のようなレジストクラックが散見された。これらは加工中の基板が高温になりすぎ

ることでレジスト組成へ影響を及ぼしていると考えられる。そこで、ウェハを真空グリスで貼り付け、基板温度を制御して加工を実施した。

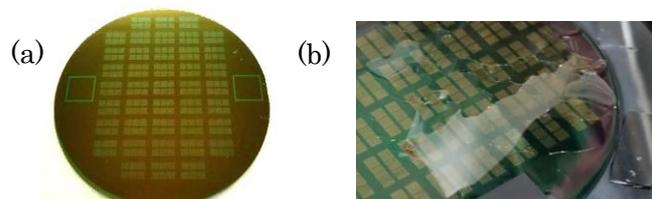


Fig. 1(a) Fabricated TEG wafer appearance, (b) Resist crack after RIE.

Fig. 2(a)は低バイアス、(b)は高バイアスを用いて同時 RIE を行った断面観察結果である。(a)に比べ(b)の方が、バイアスを高くすることで形状の垂直性が期待されたが、基板温度の上昇によると思われるサイドエッチング量の促進が見られた。引き続き側壁デポ増加による E/R の低下とのトレードオフを考慮して最適な条件を探索していく必要がある。

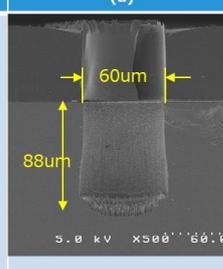
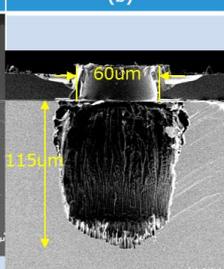
	(a)	(b)
断面		
E/R [um/min]	2.2	2.9
Sel. [GaAs/Resist]	8.8	5.8

Fig. 2 Cross section image of ICP etched GaAs (a) low LF, (b) high LF condition.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。