

課題番号 : F-18-AT-0056
利用形態 : 機器利用
利用課題名(日本語) : トンネルトランジスタの試作・評価
Program Title (English) : Fabrication and Characterization of Tunnel Field-Effect Transistors
利用者名(日本語) : 伴芳祐¹⁾, 森貴洋²⁾, 那海濤²⁾
Username (English) : Y. Ban¹⁾, T. Mori²⁾, H. Na²⁾
所属名(日本語) : 1) 理化学研究所, 2) 産業技術総合研究所
Affiliation (English) : 1) RIKEN, 2) National Institute of Advanced Industrial Science and Technology (AIST)
キーワード/Keyword : リソグラフィ・露光・描画装置, シリコン集積素子, LSI, 量子コンピュータ

1. 概要(Summary)

近年低消費電力 LSI の実現に向けて、低電圧で動作可能な TFET が注目を集めている。トンネル接合を内包するデバイスであるために、接合の持つ高いトンネル抵抗によってオン電流の確保に課題があるが、利用者らは IET(Isoelectronic Trap)不純物を接合中に導入することでオン電流を増大させる方法を提案・実証した。また、同素子は量子コンピュータの基本素子の 1 種であるスピン量子ビットとしても動作することが見いだされている。本課題は、これら 2 つの応用に向けて、微細 TFET 素子を試作し、特性を評価するものである。

2. 実験(Experimental)

【利用した主な装置】

高速電子ビーム描画装置(エリオニクス)
解析用 PC(CAD 及び近接効果補正用)

【実験方法】

本課題は、産総研 2 インチラインにおいてシリコンを母材とする微細 TFET 素子を作製するために、リソグラフィ工程について NPF クリーンルームとのクロスランにより実施した。高速電子ビーム描画装置を利用、またその描画パターン形成に際して近接効果補正を行うために解析用 PC を利用している。本年度は昨年度実施した高速電子ビーム描画装置の描画条件を利用し、実際に微細素子を作製するプロセスを確立するとともに、素子の試作を試みた。

3. 結果と考察(Results and Discussion)

まず、素子分離工程とゲート加工工程とで高速電子ビーム描画装置を利用するために、重ね描画精度の確認とそれら工程の実施条件検討を行った。重ね描画精度は同装置のグローバルマーク検出およびローカルマーク検出それぞれについて検討、グローバルマーク検出のみで $\sigma = 15 \text{ nm}$ 程度の位置精度まで実現可能であることを見

いだした。これにより重ね描画を実施、素子分離工程およびゲート加工工程について条件検討を行った。素子分離工程では Cl_2 -RIE と組み合わせることで 40 nm の狭幅を実現、ゲート加工も 40 nm までの加工を実現した。

以上の加工を利用して、本年度作製した微細素子は TFET および IET 含有ダイオードの 2 種類の素子である。TFET については実試作としてはゲート長 60 nm までの素子を作製、正常に動作することが確認された。また IET 含有ダイオードについては素子分離幅 300 nm までの素子を作製した。これら素子の評価は引き続き行っているところである。

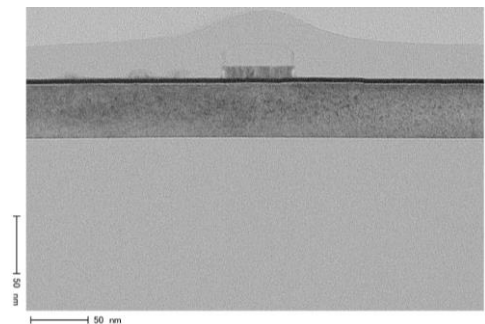


Fig. 1 A typical TEM image of Fabricated TFETs with the gate length of 60 nm.

4. その他・特記事項(Others)

本研究における試作は、NEDO、JST-CREST、文科省 Q-LEAP、科研費基盤(A)の 4 つのプロジェクトのために実施したものである。

本研究は産総研・理研間の共同研究としても実施したものであり、理研・産総研チャレンジ研究プロジェクトのための試作も含まれる。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。