

課題番号 : F-18-AT-0035  
 利用形態 : 機器利用  
 利用課題名(日本語) : 薄膜導電材料の開発  
 Program Title (English) : Development of conductive thin film materials  
 利用者名(日本語) : 杉山敏樹, 中村敏, 一ノ渡理  
 Username (English) : T. Sugiyama, B. Nakamura, T. Ichinowatari  
 所属名(日本語) : エクボ株式会社  
 Affiliation (English) : EQBO INC.  
 キーワード/Keyword : 成膜・膜堆積、SiO<sub>2</sub>、真空蒸着、絶縁膜、大面積

### 1. 概要(Summary)

Au / SiO<sub>2</sub> / Au 薄膜サンドッチ構造の導電体の作製において、大面積化を実現する際の SiO<sub>2</sub> 膜の絶縁不良の問題に取り組んだ。本報では、薄膜のパターンを形成するためにステンレス板金のメタルマスクを用い、真空蒸着装置で積層した薄膜について評価した。

### 2. 実験(Experimental)

【利用した主な装置】 電子ビーム真空蒸着装置

【実験方法】

シリコンウェハー上に Au/SiO<sub>2</sub>/Au を蒸着レート 0.1 nm/s で成膜した後、絶縁抵抗値を計測した。サンプルの構造を Fig. 1 に示す。

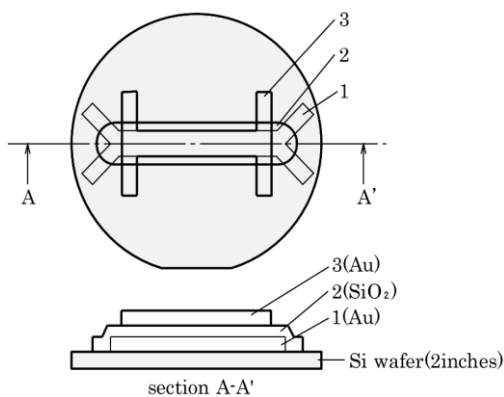


Fig. 1 Sample structure.

作製した試料の膜厚は以下の 5 通りである。

No	Film thickness of each layer[nm]		
	1	2	3
( i )	20	10	20
( ii )	20	30	20
( iii )	20	50	20
( iv )	20	200	20
( v )	20	300	20

### 3. 結果と考察(Results and Discussion)

計測した電気抵抗率を Table. 1 に示す。

Table 1. Measurement result of electrical resistivity of SiO<sub>2</sub> films.

No	Measured electrical resistivity[Ωm]
( i )	14200
( ii )	28400
( iii )	11300
( iv )	6430
( v )	5240

SiO<sub>2</sub>膜が均一な連続膜であれば、加えた電圧に応じて漏洩する電流は、Fowler-Nordheim の式に従うトンネル電流が支配的であり、目標の電圧・面積(1 V・150 mm<sup>2</sup>)程度ならば 10 nm の膜厚でも十分な絶縁が保たれるはずであるが、いずれの試料においても絶縁が確保できていない。参考事例として面積 100 mm<sup>2</sup>膜厚 10 nm の SiO<sub>2</sub>膜で 10 %の不良率になるとの報告がある[1]。

考えられる原因は、異物混入による膜不良の発生と思われる。たとえば

- (1) Si ウェハ表面のパーティクルの付着(工場出荷時)
- (2) 試料容器の帯電によるパーティクルの付着
- (3) 成膜装置内に浮遊するパーティクルの付着

などが考えられる。今後の課題は、これらの原因を特定し、対策することであり、

- (1) 成膜直前に Si ウェハをクリーニング
- (2) 試料容器の除電処理
- (3) 成膜治具の構造の見直し

を行い、再評価を行いたい。

### 4. その他・特記事項(Others)

参考文献: [1]山部紀久夫 SiO<sub>2</sub> 膜の薄膜化と信頼性 (1990)

### 5. 論文・学会発表(Publication/Presentation)

なし。

### 6. 関連特許(Patent)

なし。