

課題番号 : F-18-AT-0005  
 利用形態 : 機器利用  
 利用課題名(日本語) : MOS デバイスの解析  
 Program Title (English) : Analysis of MOS device  
 利用者名(日本語) : 佐々木 恭  
 Username (English) : Yasushi Sasaki  
 所属名(日本語) : ティーイーアイソリューションズ株式会社  
 Affiliation (English) : tei Solutions, Co., Inc..  
 キーワード/Keyword : 電気計測、形状・形態観察、MOS デバイス

### 1. 概要(Summary)

MOS デバイスを、マニュアルプローバを用いて評価した。

### 2. 実験(Experimental)

#### 【利用した主な装置】

デバイスパラメータ評価装置

#### 【実験方法】

試料の電極写真の一部を Fig. 1 に示す。

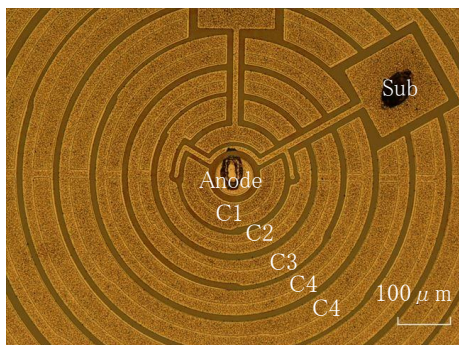


Fig. 1 Top view of analyte.

また断面構造の概略を Fig. 2 に示す。

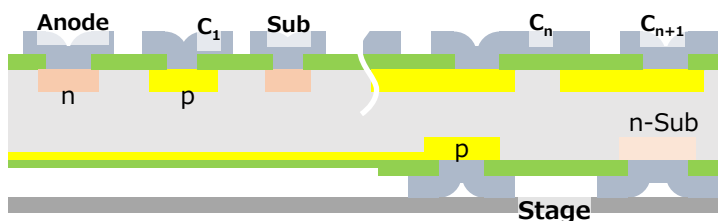


Fig. 2 Cross-sectional structure of the device.

各電極へ直接針当てを行い、内部素子特性を評価した。

### 3. 結果と考察(Results and Discussion)

Fig. 1 の C2, C3 端子間での測定例を示す。針当ては拡散層上或いはゲート酸化膜上となるため、強く針当てし

ないように注意して行った。

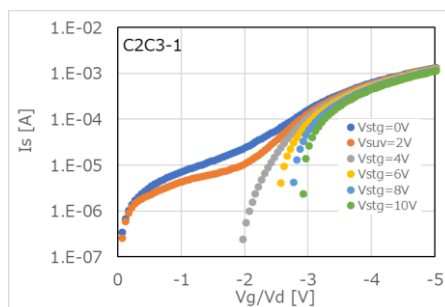


Fig. 3 Measurement-1(G/D:C2, S:C3, Sub:Stage).

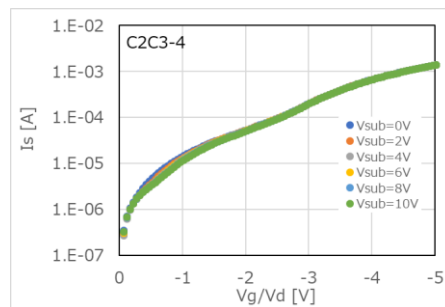


Fig. 4 Measurement-2(G/D:C2, S:C3, Sub:Sub).

構造的に Sub は基板につながっていると思われたが、測定の結果 Fig. 3 に示す Stage 側への基板電圧印加と異なり、Fig. 4 に示す Vd-Is 特性では基板電圧依存がみられず、チャンネルに影響していないことが分かった。

### 4. その他・特記事項(Others)

なし。

### 5. 論文・学会発表(Publication/Presentation)

なし。

### 6. 関連特許(Patent)

なし。