

課題番号 : F-17-UT-0144
利用形態 : 機器利用
利用課題名(日本語) : 白金とチタンを用いた圧電薄膜用下地金属基板の製作
Program Title (English) : Fabrication of the substrate for piezoelectric film deposition using Pt and Ti.
利用者名(日本語) : 内田諒、岩見健太郎
Username (English) : R. Uchida, K. Iwami
所属名(日本語) : 東京農工大学大学院機械システム工学専攻
Affiliation (English) : Department of Mechanical Systems Engineering, Tokyo University of Agriculture and Technology
キーワード/Keyword : 成膜・膜堆積、スパッタリング、圧電膜、Pt、Ti

1. 概要 (Summary)

微小電気機械システム(MEMS)はセンサやアクチュエータあるいは微細構造体などをシリコンチップなどの上に形成する技術である入力や出力あるいは通信などの重要な機能を果たし、システムに大きな付加価値もたらしている。半導体微細加工技術によって、小型でありながら複雑で高度な機能を持つものを実現できるだけでなく、ウェハ上に同時に多数作ることができるため安価に供給することができる。

MEMS 材料として圧電薄膜は有力である。集積回路製作プロセスとの整合性から、低温での圧電体の成膜技術の確立が求められている。これを実現するためには下地層として格子緩和層を成膜する必要があった。そこで東京大学のスパッタリング装置で成膜した結果について報告する。

2. 実験 (Experimental)

【利用した主な装置】

高密度汎用スパッタリング装置(芝浦 CFS-4ES)

【実験方法】

2 cm 角のシリコン基板上に Ti と Pt をそれぞれ 10 nm、200 nm スパッタリングによりそれぞれ 200 W で成膜した。また、X 線回折により材料の結晶方位の同定を行った。

3. 結果と考察 (Results and Discussion)

成膜の結果、Fig. 1 に Ti と Pt の成膜後の様子を示す。シワやクラックのない良質な膜が得られた。また X 線回折の結果を Fig. 2 に示す。下地膜であった Pt(111)と基板であったシリコン(400)のピークが明確に見えた。

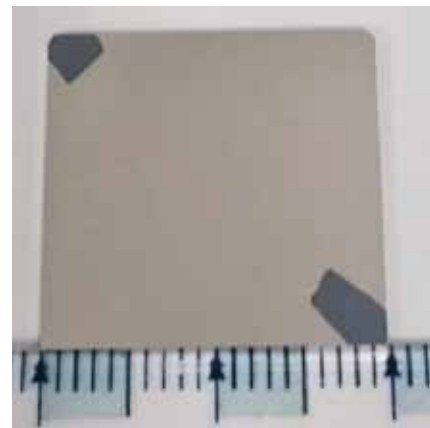


Fig. 1 The thin film of Pt/Ti by sputtering on Si substrate.

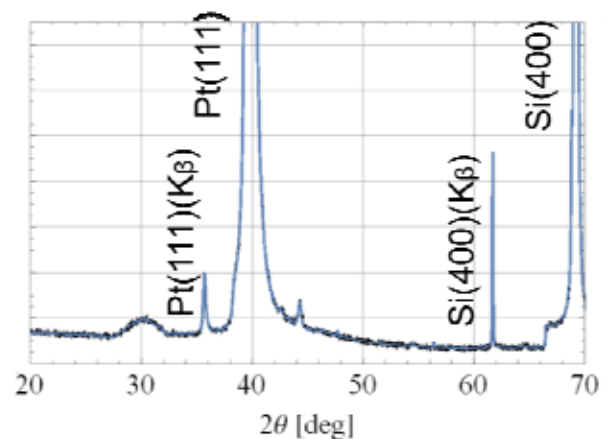


Fig. 2 Result of X-ray diffraction.

4. その他・特記事項 (Others)

なし

5. 論文・学会発表 (Publication/Presentation)

なし

6. 関連特許 (Patent)

なし