

課題番号 : F-17-UT-0115
利用形態 : 機器利用
利用課題名(日本語) : ナノワイヤ InGaAs トンネル FET の作製
Program Title (English) : The fabrication of InGaAs nanowire tunnel FET
利用者名(日本語) : 安大煥
Username (English) : D.-H. Ahn
所属名(日本語) : 東京大学大学院 工学系研究科(電気系工学専攻科)
Affiliation (English) : Graduate school of Engineering, The University of Tokyo
キーワード/Keyword : InGaAs、トンネル FET、ナノワイヤ、エッチング、リソグラフィ・露光・描画装置

1. 概要(Summary)

トンネル FET(Tunnel Field Effect Transistor) は MOS 型トランジスタの理論限界である 60 mV/dec より急峻なサブスレッショルドスロープ(S.S)が達成できるため、次世代低消費電力トランジスタとして非常に注目を集めている[1]。その中でも、我々はバンドギャップが小さく、直接遷移型である InGaAs をチャンネルの材料とした InGaAs トンネル FET の研究を行っている。InGaAs に Zn 拡散することで非常にシャープなトンネル接合を形成することができ、S.S の最小値($S.S_{min}$)が 60 mV/dec を下回る Planar 型 InGaAs トンネル FET の作製に成功している[2]。しかし、消費電力を低減するためには、 $S.S_{min}$ だけではなく、少なくとも 4 ケタ以上のトンネル電流(I_s)領域において 60 mV/dec 以下の S.S 特性が必要である。

バンド間トンネリング(B2B)を用いるトンネル FET はバンドの変調を行うゲート制御性に非常に敏感である。このため、InGaAs トンネル FET の性能を改善するには、ゲート制御性の高いナノワイヤ構造の導入が非常に有効的である[1]。本研究では、電子線描画装置を用いて 50 nm のチャンネル幅を有するナノワイヤ InGaAs トンネル FET の作製を目指す。

2. 実験(Experimental)

【利用した主な装置】

高速大面積電子線描画装置 (F5112)

【実験方法】

ナノワイヤ InGaAs トンネル FET の作製プロセスは下記のようになる。ドレインには Si イオン注入で N+領域を形成し、ソースには Zn 拡散で P+領域を形成する。その後、電子ビーム描画装置(F5112)を用いて 500 ~ 50 nm のチャンネル幅をパターニングし、ICP-RIE (Inductively Coupled Plasma - Reactive Ion Etching)で InGaAs をエッチングすることで InGaAs ナノワイヤチャンネルを形成する。サンプルに前処理を施し、ALD(Atomic Layer

Deposition)で 3.5 nm の Al_2O_3 を成膜する。直ちに、W ゲートをスパッタリングで成膜する。ソースとドレインの電極には Pt をデポした。

3. 結果と考察(Results and Discussion)

作製した InGaAs ナノワイヤを Fig.1 に示す。500 nm から 100 nm のチャンネル幅ナノワイヤチャンネルがうまく形成されていることが分かる。

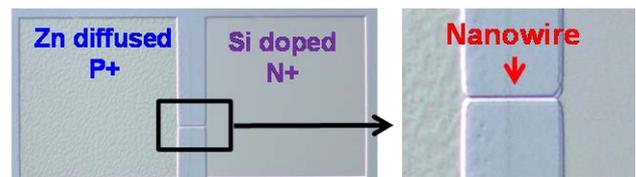


Fig. 1 Microscope image (DIC) of Nanowire Channel with 100-nm-thick channel width.

ナノワイヤ InGaAs トンネル FET の IV 特性を評価した。チャンネル幅が 80 nm までトランジスタの動作が確認された。チャンネル幅が薄くなるにつれて、InGaAs TFET の S.S が急峻になっていくことが分かる。しかし、 I_{on}/I_{off} 比が 5桁程度で従来報告した Planar 型 TFET より劣化した結果が得られている。これは InGaAs をエッチングする際、RIE のプラズマによってチャンネルの側面にダメージが加わったためだと思われる。高性能のナノワイヤ InGaAs トンネル FET を実現するには EB lithography と InGaAs のエッチング条件の改善が必要だと思われる。

4. その他・特記事項(Others)

[1] A. M. Ionescu et al, Nature 329, 2011

[2] D.-H. Ahn et al., APEX 10, 084201 (2017)

この研究は JST-CREST Grant Number JPMJCR1332 からの支援を受けて行われた。InGaAs エピ基板を提供頂いた住友化学の山本武継氏、横山正史氏に感謝する。

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし