

課題番号 : F-17-TU-0059
 利用形態 : 機器利用
 利用課題名(日本語) : 金属膜の多層構造形成
 Program Title (English) : Deposition of multi-layered metal
 利用者名(日本語) : 村上俊也
 Username (English) : T. Murakami
 所属名(日本語) : 株式会社東芝
 Affiliation (English) : Toshiba Corporation
 キーワード/Keyword : 成膜・膜堆積、スパッタ、多層積層、金属、薄膜

1. 概要(Summary)

半導体デバイスには、半導体材料、絶縁体材料、金属材料等の種々の材料が使用されている。金属は配線などに使用されているが、求められる性能は電気伝導性に加えて、不純物拡散防止能や機械的強度、加工精度等の多岐にわたる。素子の特性は主に膜自身の物性による部分が多いが、素子の微細化に伴い薄膜界面の状態がデバイス性能へ強く影響してくる。たとえば、成膜中や成膜後の熱履歴、デバイス使用時に印加される電圧などにより、原子拡散がおこったり欠陥が導入されたりする。その結果、デバイス性能の劣化につながり、性能の保証ができないという問題が発生する可能性がある。そのため、薄膜界面の状態をコントロールする手法や、ナノスケールでの薄膜界面の評価手法の確立が必要不可欠である。このような背景から、本研究では、薄膜界面の理解を深めるために、異種金属材料の界面を作製することとした。今回は、金属材料としてアンチモン(Sb)、タングステン(W)を選択し、これらの多層薄膜を成膜したときの膜の密着性等を確認した。

2. 実験(Experimental)

【利用した主な装置】

電子ビーム蒸着装置
 芝浦スパッタ装置
 Dektak 段差計

【実験方法】

酸化膜付シリコン基板(Si/SiO₂)に Sb を電子ビーム蒸着法により 100nm 程度成膜し、その後スパッタリングにより W と窒化シリコン膜(SiN)をそれぞれ 50nm 程度積層した。成膜後の試料構造は、Si 基板/SiO₂/Sb/W/SiN である。W と SiN の成膜は同一装置で実施し、真空一貫にて連続的に成膜した。成膜イメージを Figure1 に示した。比較用に Si/SiO₂ 基板に W および SiN を成膜した

(Si 基板/SiO₂/W/SiN)。SiN 層は、W の酸化を防止するためのキャップ層としての機能を有す。

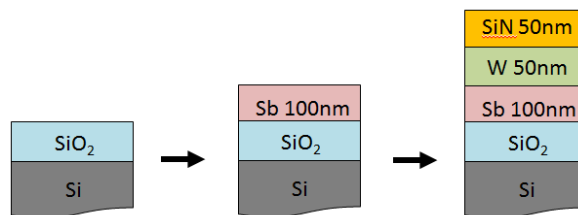


Figure1 Deposition of Sb, and W and SiN on Si/SiO₂ substrate

3. 結果と考察(Results and Discussion)

Sb 上に W を成膜した Si 基板/SiO₂/Sb/W/SiN の試料では、成膜後目視で白濁が確認でき、膜剥がれが発生していることが分かった。一方、Si 基板/SiO₂/W/SiN の試料では膜剥がれの無い均一な膜が形成した。このことから Sb/W 界面は膜の密着性が悪いことが予想される。原因としては W の内部応力が高いことと、Sb 表面の酸化によることが考えられる。今後、正常な異種金属の界面を得るために、W の成膜条件の最適化や、逆スパッタ等による Sb 表面の酸化膜除去プロセスの導入等が必要であると考えらる。

Table 1 Results

基板構造	膜剥がれ
Si基板/SiO ₂ /Sb/W/SiN	あり
Si基板/SiO ₂ /W/SiN	なし

4. その他・特記事項(Others)

なし

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし