

課題番号 : F-17-TU-0008
 利用形態 : 機器利用
 利用課題名(日本語) : 半導体プロセス基礎実験
 Program Title (English) : Basic experiment of semiconductor process
 利用者名(日本語) : 丹野聡, 武田恭英, 上岡力, 瀬尾良太郎, 林裕二
 Username (English) : S. Tanno, Y. Takeda, C. Kamioka, R. Seo, Y. Hayashi
 所属名(日本語) : 株式会社ジェイテクト
 Affiliation (English) : JTEKT, Corporation
 キーワード/Keyword : 成膜・膜堆積, スパッタ

1. 概要(Summary)

半導体試作の配線形成工程にて、配線層の成膜後に Fig. 1 のような界面クラックが見つかった。成膜時の膜応力が原因で、密着力の弱い界面に剥離が発生したと考えた。このときの成膜は芝浦スパッタを使用しており、成膜時の温度は 300 °C であった。スパッタ成膜時の温度とウェハの反り量の関係を調査した。

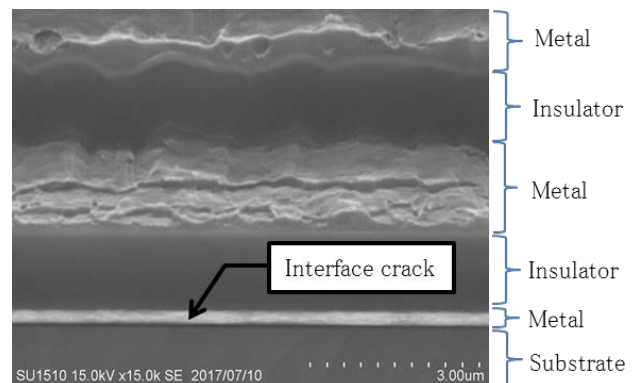


Fig. 1 SEM image of interface crack

2. 実験(Experimental)

【利用した主な装置】

- ・スパッタ装置(芝浦メカトロニクス CFS-4ESII)

【実験方法】

以下の手順により、各温度水準で Si ウェハ上に各種膜を成膜し、成膜後のウェハ反り量を測定する。

1. 有機洗浄(アセトン, IPA)
2. 芝浦スパッタによる配線層の成膜
 - ・成膜材料: TiN/Ti/Al(総厚 1730nm)
 - ・温度: 25 °C(常温)、250 °C、300 °Cの 3 水準
 - ・圧力: 0.5 Pa

3. 段差計による反り量の測定

- ・針圧: 10 mg

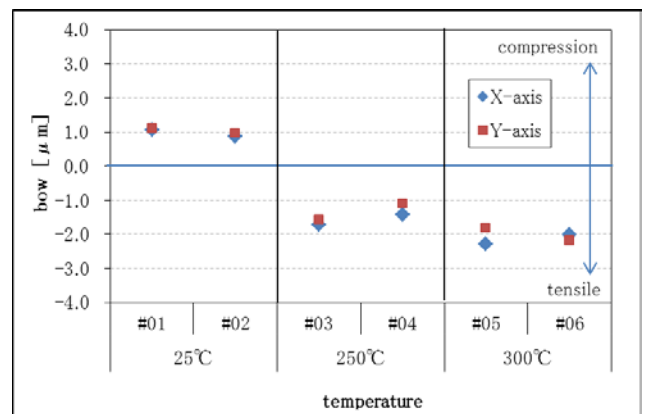


Fig. 2 Result of bow in Si wafer

3. 結果と考察(Results and Discussion)

Fig. 2 に各温度に対する反り量の測定結果を示す。

温度 25 °C(常温)のときの反り量は約 1 μm で膜応力は圧縮方向であったが、温度 250 °C、300 °C では膜応力は引張方向で、300 °C で反り量の絶対値が最も高い結果となった。このことから、成膜温度を 300 °C から下げることで、膜応力が低下し、クラック発生を抑えられる可能性があることが分かった。

また、250 °C と 25 °C は膜応力が引張と圧縮に反転していることから、この間に、膜応力が 0 となる成膜温度が存在する可能性があることが分かった。

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。