

課題番号 : F-17-TT-0005
 利用形態 : 機器利用
 利用課題名(日本語) : 二次元物質をチャネルとした Fe-FET 型不揮発性多値メモリデバイスの開発
 Program Title (English) : Fabrication of Fe-FET type multi-level Non-volatile memory using MoS₂
 利用者名(日本語) : 清水勝基, 川江健
 Username (English) : S. Shimizu, T. Kawae
 所属名(日本語) : 金沢大学大学院自然科学研究科電子情報科学専攻
 Affiliation (English) : Kanazawa University
 キーワード/Keyword : リソグラフィ・露光・描画装置、MoS₂、VDF-TrFE、強誘電体ゲート FET、不揮発性メモリ

1. 概要(Summary)

次世代半導体として期待される二次元物質 MoS₂ のデバイス応用として、強誘電体メモリに着目し、その研究開発を実施した。次年度までの成果に基づき、NTPF の技術支援として高精度マスクアライナを利用し、面内寸法が 3 ~ 5 μm の MoS₂ に対して微細な電極パターンおよび FET 構造を形成した。

2. 実験(Experimental)

【利用した主な装置】

マスクアライナ装置

【実験方法】

200 nm 厚の SiO₂ を熱酸化で表面形成した Si 基板上に剥離転写した MoS₂ 薄帯に対し、マスクアライナ装置を用いてチャネル幅 5 μm のソース・ドレイン電極レジストパターンを形成した。同レジストパターンを利用して Ni 電極を形成した後、ゲート絶縁膜として強誘電体 VDF-TrFE を溶液堆積法で MoS₂ チャネル上に直接堆積した。最後に幅 3 μm のゲート電極レジストパターンをフォトリソ形成し、Pt ゲート電極をリフトオフ法により作製した。

3. 結果と考察(Results and Discussion)

作製されたトップゲート型 FET 構造の I_{ds} - V_{ds} 特性を Fig1 に記す。作製された試料は典型的な n 型チャネルの FET 特性を示し、I_{ds} に対するゲート電圧印可による電流 on / off 比は 10⁶ であった。また、明瞭なピンチオフが観測された。この結果は、MoS₂ 上に堆積された VDF - TrFE ゲートの良好な絶縁性が向上した事により、ゲートリーク電流が重畳されずに純粋なドレイン電流とピンチオフ特性を観測した事に由来するものと推察する。

また、同試料を用いた不揮発性多値記録動作を試み

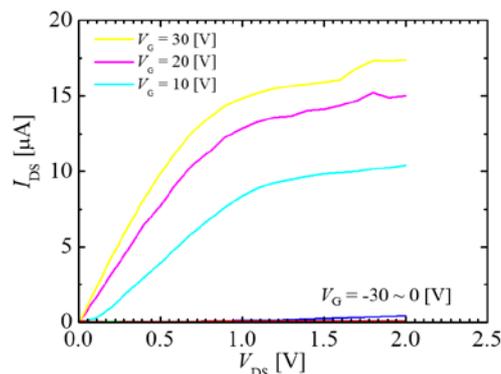


Fig1 I_{ds}-V_{ds} curves of ferroelectric gate FET

たが、現段階では最大でも 4 値動作に留まっている。この原因としては、ゲート絶縁膜に用いている VDF - TrFE の分極値が少なく、十分な閾値を持った多値記録が容易でない事と考えられる。この問題の解決にはより大きな分極誘起が可能な無機系の強誘電体材料をゲートとして用いる必要があるが、バンドオフセットを考慮すると強誘電体-半導体界面にギャップの大きな絶縁体を導入する必要がある、プロセス工程数の増加が避けられない。また、大きな残留分極を持つ強誘電体をゲートとした場合、逆極性の減分極電界が発生する事から、分極保持の信頼性が低下する問題も生じる。

以上の事より、当該の問題に対してはデバイスの動作原理の見直し(直流駆動からパルス駆動)を図る事により解決される可能性があるものと推察する。

4. その他・特記事項(Others)

・共同研究者: 中嶋宇史(東京理科大)

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし