

課題番号 : F-17-NM-0085  
利用形態 : 機器利用  
利用課題名(日本語) : 近接効果補正シミュレータ(BEAMER)を使用した微細ゲート作製技術の開発  
Program Title (English) : Development of Fine Gate Fabrication Technology using BEAMER  
利用者名(日本語) : 大谷栄二  
Username (English) : E. Otani  
所属名(日本語) : ソニーセミコンダクタソリューションズ株式会社  
Affiliation (English) : Sony Semiconductor Solutions Corporation  
キーワード/Keyword : 半導体、HEMT、トランジスタ、リソグラフィ・露光・描画装置

## 1. 概要(Summary)

化合物半導体材料は、絶縁破壊電圧が高い、高温動作が可能、飽和ドリフト速度が高いなどの特徴を有している。また、ヘテロ接合に形成される二次元電子ガス(2DEG)は、移動度が高くかつシート電子密度が高いという特徴がある。これらの特徴により、高電子移動度トランジスタ(HEMT: High Electron Mobility Transistor)が、広く利用されている。HEMT は低抵抗、高速、高耐圧動作が可能のため、パワーデバイスや RF デバイスなどへの適用が期待されている。

今回、デバイス特性のゲート長依存性を取得するため、チップ内に複数のゲート長のデバイスを配置した際に、すべてのデバイスで設計通りのゲート長を実現する事を目的として、近接効果補正シミュレータ(BEAMER)を使用したプロセス検討を行った。

## 2. 実験(Experimental)

### 【利用した主な装置】

- ・ 125kV 電子ビーム描画装置
- ・ 高速マスクレス露光装置
- ・ 12 連電子銃型蒸着装置
- ・ プラズマ CVD 装置
- ・ 多目的ドライエッチング装置
- ・ 化合物ドライエッチング装置

### 【実験方法】

当社で準備したウエハに、上記装置を使用して、下記のフローで微細な開口領域を形成。

- ① プラズマ CVD による SiO<sub>2</sub> 成膜
- ② EB 描画装置によるパターンニング
- ③ 多目的ドライエッチング装置による SiO<sub>2</sub> 開口
- ④ レジスト剥離

## 3. 結果と考察 (Results and Discussion)

複数回のデバイス試作を行い、描画条件の最適化検討を行った。その結果、Fig. 1 に示す通り、開口幅 200-500 nm に対して、設計値通りの開口領域が形成されている事を確認した。

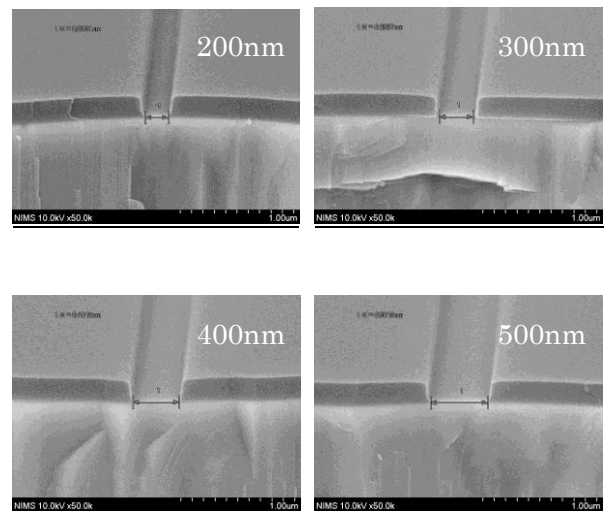


Fig. 1 SEM image of SiO<sub>2</sub> etching

## 4. その他・特記事項(Others)

今回の技術開発を通じて、多くの適切な助言を賜り、また丁寧にご指導いただいた津谷大樹氏、大里啓孝氏に感謝いたします。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。