

課題番号 : F-17-NM-0045
 利用形態 : 技術代行
 利用課題名(日本語) : 3次元パワーSupply on Chip のプロセス技術の開発
 Program Title (English) : Development of process technology for 3D power supply on chip
 利用者名(日本語) : 松本聡
 Username (English) : S.Matsumoto
 所属名(日本語) : 九州工業大学大学院工学府電気電子工学専攻
 Affiliation (English) : Department of Electrical engineering, Graduate School of Kyushu Institute of Technology
 キーワード/Keyword : DC-DC コンバータ、3次元実装、ノイズ遮蔽層、成膜・膜堆積

1. 概要(Summary)

電源の究極の小型化が実現できるパワーSoC(Supply on Chip; LSI, パワーデバイス、インダクタやキャパシタなどのパッシブ部品を1チップに集積)が注目を集めている[1]。パワーSoC では電源の究極の小型化が可能な反面、30 MHz レベルの高周波スイッチングが要求されるため寄生インピーダンスの低減が重要課題となり、我々の研究グループではパワーSoC に用いる各種デバイスを3次元に積層した3次元パワーSoC(Fig. 1)を提案した[2]。3次元パワーSoC では各種アクティブデバイスが積層されるため、ノイズの遮蔽が重要課題となる。本研究ではノイズ遮蔽層を3次元パワーSoC に組み込むためのプロセス技術の開発を進めた結果について報告する。

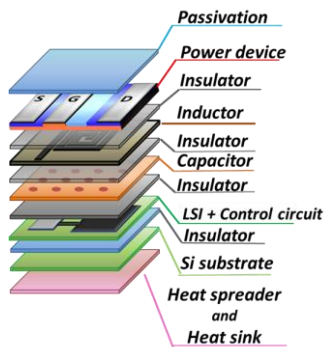


Fig. 1 3D power SoC[2]

3. 結果と考察 (Results and Discussion)

Table 1 に各種絶縁膜のプロセスへの適用の可否を検討した結果を示す。

Table 1 Applicability for 3D stacking process.

A	B	C	D
Y	Y	NG	NG

Y: possible NG: Impossible

上記絶縁膜 A を用いてコンタクトホールを窓開後、金属電極を堆積してプロセスへの適用の可否を検討した結果を Table 2 に示す。

Table 2 Applicability for 3D stacking process.

a	b	c
Y	NG	NG

Y: possible NG: Impossible

金属 a のみプロセスへの導入が可能であった。絶縁膜 B においても同様の結果が得られた。

4. その他・特記事項(Others)

参考文献

[1] <http://pwrsocevents.com/pwrsoce-2016-presentations/>

[2] K.Hiura, Y.Ikeda, Y.Hino, and S. Matsumoto, Japanese Journal of Applied Physics, vol.56, No.4, 04CR13, 2017.

本研究の一部は、JSPS 科研費 15H03965 の助成を受けたものです。

本試料の加工の一部は、北九州産業学術推進機構及び京都大学微細加工プラットフォームにて実施した。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。

2. 実験(Experimental)

【利用した主な装置】

- ・ 原子層堆積装置
- ・ プラズマ CVD 装置

【実験方法】

Si 基板上に絶縁膜としてプラズマ CVD 酸化膜を堆積した後、ノイズ遮蔽層を形成し、ノイズ遮蔽層上に NIMS 微細加工プラットフォームの原子層堆積装置で絶縁膜2種類(絶縁膜 A, B)を堆積した。また、プラズマ CVD 装置で絶縁膜2種類(絶縁膜 C, D)を堆積した。その後、これらの絶縁膜にコンタクトホールを形成した後、金属(a, b, c)をスパッタまた蒸着により堆積した。