

課題番号 : F-17-KT-0136  
利用形態 : 機器利用  
利用課題名(日本語) : 半導体の基礎研究  
Program Title(English) : Basic experiment of semiconductor process  
利用者名(日本語) : 丹野聡, 武田恭英, 上岡力, 瀬尾良太郎, 瀧幸生, 林裕二  
Username(English) : S. Tanno, K. Takeda, C. Kamioka, R. Seo, Y. Taki, Y. Hayashi  
所属名(日本語) : 株式会社ジェイテクト, 先行開発センター  
Affiliation(English) : JTEKT CORPORATION, Advanced Development Center  
キーワード/Keyword : 膜加工・エッチング, リフトオフ工法, 電子線蒸着装置

## 1. 概要(Summary)

半導体プロセスの基本的工程である配線形成工程にて、難エッチング材成形の一般的手法であるリフトオフ工法を確立したい。本報告はその一環として、成膜方法について検討した。

## 2. 実験(Experimental)

### 【利用した主な装置】

電子線蒸着装置

### 【実験方法】

リフトオフの成膜工法を検討するため、スパッタと蒸着でサンプルを作製、比較した。

2枚のウェハに対し、社内でリフトオフ用レジストをパターンニングした。そのウェハの一方を他機関でスパッタし、他方を当機関の電子線蒸着装置で成膜した。

## 3. 結果と考察(Results and Discussion)

スパッタで成膜したサンプルの断面図を Fig. 1、蒸着で成膜したサンプルを Fig. 2 に示す。

スパッタで成膜したサンプルは、レジスト側面にもわずかに成膜されていた。

これに対し、蒸着で成膜したサンプルはレジストの側壁が成膜前とほぼ変わらず、側壁への付着が認められなかった。

これらのサンプルをそれぞれレジスト除去したところ、スパッタサンプルはほぼリフトオフが出来なかったのに対し、蒸着サンプルはきれいにリフトオフすることが出来た。

この2つの成膜法で差が出来た要因としては、どちらも母材塊から何らかの方法で粒子状にしてウェハに飛ばすということでは同じ原理と言えるが、母材塊からウェハまでの距離が蒸着装置のほうが格段に遠い。そのため金属粒子がよりウェハに垂直に当たるため、側壁への付着

がなかったものと思われる。

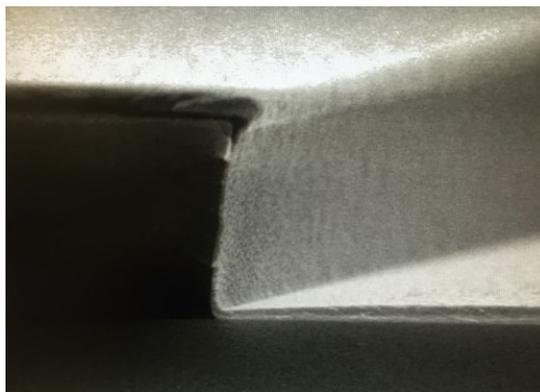


Fig. 1 Sample after sputtering.

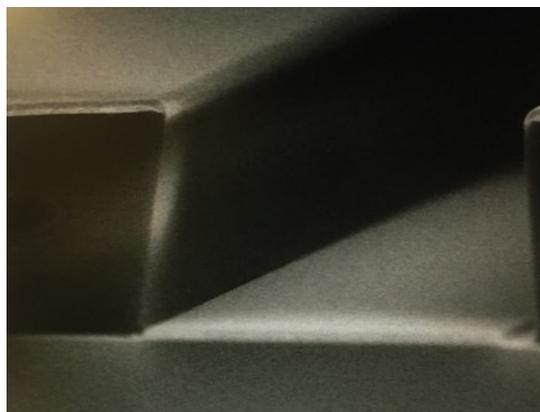


Fig. 2 Sample after vapor deposition.

## 4. その他・特記事項(Others)

特になし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。