

課題番号 : F-17-KT-0106  
利用形態 : 機器利用  
利用課題名(日本語) : 半導体プロセス基礎実験  
Program Title(English) : Basic experiment of semiconductor process  
利用者名(日本語) : 丹野聡, 武田恭英, 上岡力, 瀬尾良太郎, 瀧幸生, 林裕二, 中嶋照和  
Username(English) : S.Tanno, K.Yasuhide, C.Kamioka, R.Seo, Y.Taki, Y.Hayashi, T.Nakajima  
所属名(日本語) : 株式会社ジェイテクト、先行開発センター  
Affiliation(English) : JTEKT CORPORATION, Advanced Development Center  
キーワード/Keyword : 膜加工・エッチング, 圧電薄膜, 平坦化, プラズマ CVD 装置

## 1. 概要(Summary)

半導体プロセスの配線工程において生じた層間絶縁膜の段差に対して Resist Etch Back 法を用いた平坦化を検討する

## 2. 実験(Experimental)

### 【利用した主な装置】

ドライエッチング装置、プラズマ CVD 装置

### 【実験方法】

配線がパターンニングされた Wafer にプラズマ CVD 装置によって P-TEOS 膜の成膜を行う。次に社内装置にて Resist を Wafer 全面に塗布する。続いて、ドライエッチング装置にて Resist 及び P-TEOS 膜の Etch Back を行う。最後に Resist Remove を行う。

## 3. 結果と考察(Results and Discussion)

Fig. 1 に平坦化前、Fig. 2 に平坦化後の SEM 像をそれぞれ示す。また Fig. 2 については Resist Remove 後のサンプルである。

今回、以前より知られている Resist Etch Back を用いて平坦化を行った結果、 $0.5 \mu\text{m}$  の平坦化を実現した。

また、今回検討を行って得られた知見として、Resist Etch Back を行う際は、配線のエッチング段差を考慮して十分な Resist 膜厚を設定することが必要である。Resist 膜厚が薄すぎると Resist が段差によりラウンドしてしまい、計算上よりも薄く成膜されてしまう。このため Etching 時の Resist 厚みが局所的に不足するため、必要以上に層間絶縁膜が減膜するからである。以上から Resist 膜厚は十分な厚みで設定し、一定膜厚となるようにすることが重要である。

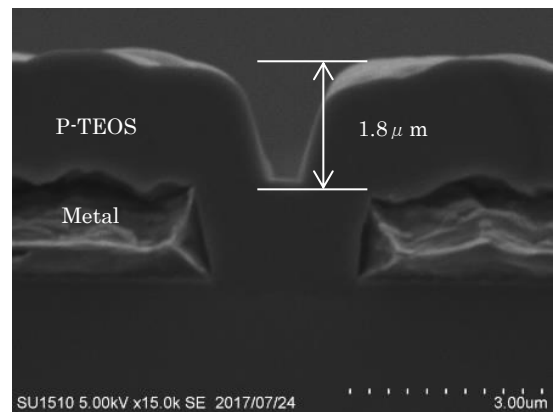


Fig. 1 Sample before planarization.

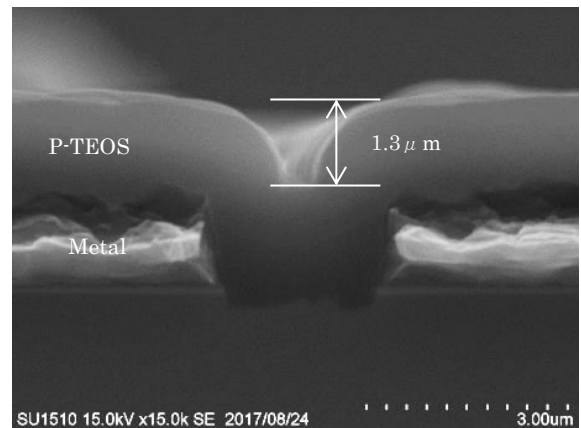


Fig. 2 Sample after planarization.

## 4. その他・特記事項(Others)

特になし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。