

課題番号 : F-17-GA-0044
 利用形態 : 共同研究
 利用課題名(日本語) : 教育用シリコントランジスタの作製及び集積化に関する研究
 Program Title (English) : Fundamental Study for the Si Micro Alloy Transistor as the Educational Resource
 利用者名(日本語) : 長岡史郎
 Username (English) : S. Nagaoka
 所属名(日本語) : 香川高等専門学校 電子システム工学科
 Affiliation (English) : Dept. of Electronic Systems Engineering, National Institute of Technology, Kagawa College
 キーワード/Keyword : 成膜・膜堆積、リソグラフィ・露光・描画装置、Si マイクロ合金トランジスタ

1. 概要(Summary)

工学実験で電子回路やソフトウェアの実験と同様に半導体デバイスの設計製作評価を可能にするための専用のデバイス開発と設計製作評価環境の構築に取り組んでいる。ここでは Ge マイクロ合金トランジスタを参考に、Ge を Si に置き換えた Si マイクロ合金トランジスタの実現を図る。窒化シリコン(SiNx)薄膜を異方性エッチングマスクとし、異方性エッチングによりトランジスタのサイズを制御するプロセスを考案、その試作を行った。その結果、トランジスタを実現でき、プロセスに関する知見も得ることができた。

2. 実験(Experiment)

・利用した主な装置

デュアルイオンビームスパッタ装置(ハシノテック社製,10W-IBS)

・実験方法

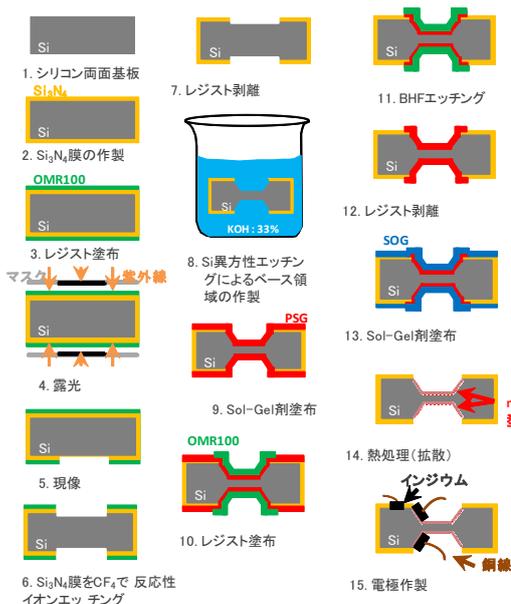


Fig. 2 Flow chart of the micro alloy silicon bipolar transistor SiNx thin film substrate

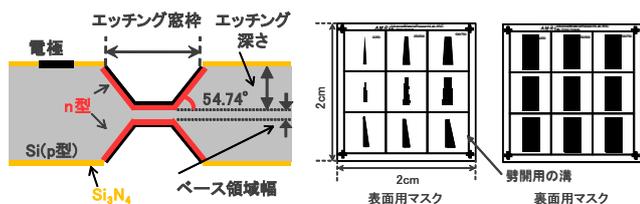


Fig. 1 Schematic diagram of the micro alloy silicon bipolar transistor

Fig. 1 に目標とするバイポーラトランジスタの構造を示す。トランジスタ作製では、ベース領域の寸法制御と不純物濃度制御が重要である。トランジスタの寸法制御は窒化シリコン薄膜をエッチングマスクとするシリコンの異方性エッチングを用いることで、Sol-Gel 薄膜をリソグラフィにより必要な領域にのみ残しリンを選択的に拡散させる方法でエミッタコレクタ領域を制御する。

3. 結果と考察(Results and Discussion)

Fig. 2 に作製プロセスの概要を示す。イオンビームスパッタ法で作製した窒化シリコン薄膜を反応性イオンエッチ

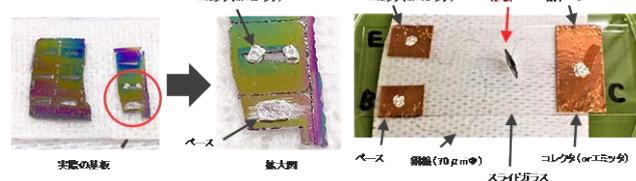


Fig. 3 Bipolar Transistor fabricated using the ion beam sputtered SiNx

ング(RIE)で加工したものをエッチングマスクに用い、KOH33%、60°Cでエッチングし、時間でベース領域幅を制御した。不純物拡散には、Sol-Gel 薄膜をリソグラフィにより必要な領域にのみ残しリンを選択的に拡散させた。

Fig. 3 に作製したトランジスタの写真を示す。現在、デバイス特性を評価中である。

4. その他・特記事項(Others)

共同研究者:下川房男 香川大学工学部 教授

5. 論文・学会発表(Publication/Presentation)

S.Nagaoka et. al., NANOSciTech2018,pp13-14,2018

6. 関連特許(Patent) なし。