

課題番号 : F-17-GA-0036  
利用形態 : 技術代行  
利用課題名(日本語) : 銅(I)錯体の薄膜化検討  
Program Title (English) : Study on thinning of copper (I) complex  
利用者名(日本語) : 阪田知巳  
Username (English) : T. Sakata  
所属名(日本語) : 城西大学理学部化学科  
Affiliation (English) : Department of Chemistry, Faculty of Science, Josai University  
キーワード/Keyword : 成膜・膜堆積, 形状・形態観察・分析, 銅, 錯体, 薄膜

## 1. 概要(Summary)

メカノクロミズム現象を利用した新規有機 EL(Electro-Luminescence) デバイスの開発を目的に、d 軌道閉殻電子配置 ( $d^{10}$ ) を有する銅(I)を中心金属とする錯体の薄膜化検討を行うことで、本錯体のプロセスおよび薄膜物性に関する基礎データを収集するとともに、薄膜化によるデバイス展開の可能性について昨年度に引き続き検証を行う。

## 2. 実験(Experimental)

### 【利用した主な装置】

- ・真空蒸着装置 (ULVAC 社製, VPC-1100)
- ・走査電子顕微鏡 (EDS 付)(JEOL 社製 JSM-6060-EDS)

### 【実験方法】

蒸着源として使用したのは、ヨウ化銅(I)、トリフェニルホスフィン、ベンゾ[h]キノリンの3種類の材料である。これらを真空蒸着装置にて、ガラス基板、及び、Si 基板上へ共蒸着を行った (Fig.1)。この際、蒸着前処理として、硫酸過水洗浄と O<sub>2</sub> プラズマクリーニングを行い、基板と薄膜の間の密着性の向上を図った。



Fig.1 Deposition on glass substrate and silicon substrate

## 3. 結果と考察(Results and Discussion)

昨年度、上記3種類の材料を同時に蒸着した際には、基板に蒸着することが出来ないことが判明したので、基板との密着性を向上させる観点から、上記表面処理を行った基板上に、まずヨウ化銅のみを蒸着し、続いて3種類の材料を共蒸着する工程を採用することで、基板上に銅の錯体を成膜することができることを明らかにした。

今年度は、昨年度構築した改良プロセスの再現性を評価することを目的に、SEM 観察、EDS 表面分析、抵抗率の観点から、昨年度構築した改良プロセスの再現性を評価し、その結果、改良プロセスの高い再現性を確認した。

ただし、蒸着膜中に、使用したヨウ化銅(I)、トリフェニルホスフィン、ベンゾ[h]キノリン以外の金属種(Au 等)がコンタミネーションとして含まれていることが判明し、蒸着装置使用前のクリーニング状態について課題を残す結果となった。

このコンタミネーションは、本検討で使用する銅(I)と同族元素となるため、所望の発光特性の発現を著しく低下させる要因となっていることが明らかとなり、今後の利用形態としての技術代行について再考していく必要があると考える。

## 4. その他・特記事項(Others)

なし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。