

課題番号 : F-17-BA-0011
 利用形態 : 機器利用
 利用課題名(日本語) : グラフェン電極を用いた高効率平面型電子放出デバイスの試作
 Program Title (English) : Fabrication of high efficiency planar type electron emission device using graphene gate electrode
 利用者名(日本語) : 村上勝久
 Username (English) : K. Murakami
 所属名(日本語) : 産業技術総合研究所
 Affiliation (English) : National Institute of Advanced Industrial Science and Technology
 キーワード/Keyword : リソグラフィ・露光・描画装置、グラフェン、電子放出デバイス、MOS 構造

1. 概要(Summary)

MOS(Metal/Oxide/Semiconductor)構造を用いた平面型電子放出素子は、従来の針状陰極構造を有する冷陰極素子に比べて、低電圧で動作可能、既存の半導体プロセスで作製可能、動作可能な真空度の制約が少ない、面放出であるなど様々な特徴を有している。しかしながら、電子取り出し効率の低さが MOS 型電子放出素子の実用化を妨げている。

我々の研究グループでは MOS 形電子放出素子の上部電極にグラフェンを用いた GOS(Graphene/Oxide/Semiconductor)構造の平面型電子放出素子を試作し、上部電極での電子散乱を抑制することにより、電子放出効率の改善を試みている。

2. 実験(Experimental)

【利用した主な装置】

パターン投影リソグラフィシステム

【実験方法】

ベースとなる基板には、熱酸化膜付 n-Si 基板(酸化膜厚 300 nm)を用いた。電子放出部のサイズは 10~100 μm 角で、パターン投影ソグラフィと緩衝弗酸によるウェットエッチングによりパターンニングした。その後、RCA 洗浄を行った後に、電子放出部に膜厚 10 nm の熱酸化膜層を酸素流量 2 L/min、加熱温度 900 $^{\circ}\text{C}$ 、成膜時間 10 min で作成した。上部の多層グラフェン電極(1.8~7 nm)は独自の熱 CVD 法を用いて、成長時間 1 時間、900 $^{\circ}\text{C}$ で基板全面に成膜した。成膜したグラフェン上にコンタクト電極として Ni/Ti 電極をフォトリソグラフィ、電子ビーム蒸着、リフトオフプロセスにより作製した。電子放出特性の評価は真空度 10~10⁻⁶ Pa の計測チャンバーを用いて実施した。

3. 結果と考察(Results and Discussion)

Fig. 1 に GOS 型電子放出素子の電子放出特性を示す。印加電圧 5 V から放出電流を検出し、10 V で電流密度 40 mA/cm² に到達した。最大電子放出効率は印加電圧 10 V のとき 9.5 %であった。電子放出効率、放出電流密度共に従来の MOS 型電子放出デバイスと比較して約 1000~10000 倍の向上を実現した。

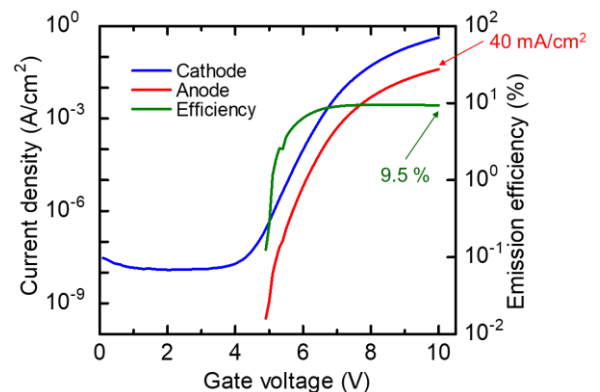


Figure. 1 Electron emission properties of planar type electron emission device using graphene gate electrode.

4. その他・特記事項(Others)

・科学研究費補助金 若手研究(A) (15H05522)

5. 論文・学会発表(Publication/Presentation)

(1) 低真空・低電圧で動作するグラフェンを用いた高効率平面型電子源、村上勝久、第 65 回応用物理学会春季学術講演会、2018年3月19日、早稲田大学(招待講演)

6. 関連特許(Patent)

なし。