

課題番号 : F-17-AT-0148  
利用形態 : 技術代行  
利用課題名 (日本語) : 原子層堆積装置を用いた薄膜形成  
Program Title (English) : Thin film formation using atomic layer deposition  
利用者名 (日本語) : 飯田 晋  
Username (English) : S. Iida  
所属名 (日本語) : 株式会社先端ナノプロセス基盤開発センター  
Affiliation (English) : Evolving nano process Infrastructure Development Center, Inc.  
キーワード/Keyword : 成膜・膜堆積、バリアメタル層、原子層堆積、TiN 膜

## 1. 概要 (Summary)

本研究の目的は、Si 基板上に微細なパターンを形成することである。微細パターン上に金属配線を埋め込む際に、スパッタ装置を用いるとボイドの形成などが問題となる。これを解決するためには、CVD 法による堆積が選択肢の一つである<sup>1,2)</sup>。TiN は、金属埋め込み層用のバリアメタルとして知られており、半導体プロセスには良く使われる材料である。しかしながら、TiN が堆積可能な CVD 装置を保有している施設は少なく、4inch 基板を用いて外注可能であるのは、本研究施設の原子層堆積 (Atomic Layer Deposition : ALD) 装置等限られていることが分かった。ALD は、もともと原子層レベルで 1 層ずつ堆積することを目的としているため、Fig. 1 に示すような、微細配線用のバリアメタル堆積用としては適している。今回、このような堆積方法の準備段階として、平坦な Si 基板上に ALD による TiN 薄膜の形成を行った。

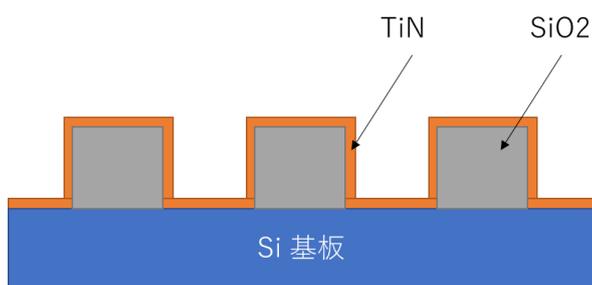


Fig. 1 Schematic illustration of ALD-TiN layer on patterned Si wafer

## 2. 実験 (Experimental)

### 【利用した主な装置】

原子層堆積装置 [FlexAL]

### 【実験方法】

パターンニング処理を施していない 4inch Si 基板上に、

原子層堆積装置を用いて 10 nm の TiN 薄膜を形成した。

## 3. 結果と考察 (Results and Discussion)



Fig. 2 Schematic illustration of 10-nm-thick ALD-TiN layer on 4-inch-Si wafer

今回は、条件確認用として平坦基板上に 10 nm の TiN を堆積した。模式図を Fig. 2 に示す。破壊検査をする前に次のプロセスを行う予定であるため、現時点では断面写真等は未取得である。今後、この薄膜の密着性、耐薬品性などを確認し、スパッタ膜との比較等を行う予定である。

## 4. その他・特記事項 (Others)

1. T. Azuma et al., J. Vac. Sci. Technol. B 33, 06F302 (2015). “Electrical yield verification of half-pitch 15 nm patterns using directed self-assembly of polystyrene-block-poly(methyl methacrylate)”
2. Y. Kasahara et al., Microelectronic Eng. 159, 21 (2016) “Characterization of half-pitch 15-nm metal wire circuit fabricated by directed self-assembly of polystyrene-block-poly(methyl methacrylate)”

## 5. 論文・学会発表 (Publication/Presentation)

なし。

## 6. 関連特許 (Patent)

なし。