

課題番号 : F-17-AT-0124  
 利用形態 : 技術代行  
 利用課題名(日本語) : 原子層堆積法を用いた金属成膜  
 Program Title (English) : The metal deposition by atomic layer deposition  
 利用者名(日本語) : 金澤徹<sup>1)</sup>, 大澤一斗<sup>2)</sup>  
 Username (English) : T. Kanazawa<sup>1)</sup>, K. Ohsawa<sup>2)</sup>  
 所属名(日本語) : 1) 東京工業大学工学院, 2) 東京工業大学大学院理工学研究科  
 Affiliation (English) : 1) School of Engineering, Tokyo Institute of Technology, 2) Graduate School of Engineering, Tokyo Institute of Technology  
 キーワード/Keyword : 成膜・膜堆積、原子層堆積(ALD)、MOSFET、化合物半導体、マルチゲート構造

## 1. 概要(Summary)

トランジスタの低消費電力化へ向けて、再成長エピタキシャルソースドレインと高移動度 InGaAs チャンネルを有する MOSFET[1]に対して、積層型ナノシート構造[2]を導入したデバイスの開発を行った。ゲート制御性に優れるゲートオールアラウンド(GAA)構造形成のため、立体構造への均一な成膜が可能な原子層堆積(ALD)法による TiN ゲート電極の成膜を、国立研究開発法人産業技術総合研究所ナノプロセッシング施設(NPF)の支援により試みた。

## 2. 実験(Experimental)

### 【利用した主な装置】

原子層堆積装置[FlexAL]

### 【実験方法】

TiN の ALD 成膜は、基板温度を 350°C とし、Ti のプリカーサとして TDMAT を使用、窒素プラズマ処理は H<sub>2</sub>/N<sub>2</sub> = 7/21 sccm、リアクタ内圧力 40 mTorr、RF 出力 200 W という条件下で行った。

## 3. 結果と考察(Results and Discussion)

SiO<sub>2</sub>/Si ダミー基板上に成膜した TiN の断面 SEM 観察を行ったところ、基板の全面において想定した約 20 nm の成膜がなされていることが確認された(Fig. 1)。

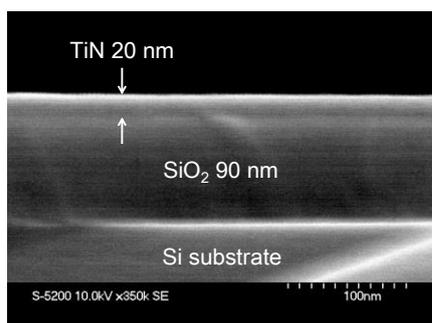


Fig. 1 Cross-sectional SEM image of TiN on SiO<sub>2</sub>.

電気特性評価から TiN 膜の抵抗率は  $8.1 \times 10^{-4} \Omega \cdot \text{cm}$  と見積もられ、直流でのデバイス動作を行うのに十分な水準の導電性を有していることが確認された。

上記 TiN 電極を縦方向に積層された二層の InGaAs ナノシートチャンネル構造に対して形成した GAA 型のトランジスタ構造(Fig. 2)を作製し、デバイス動作を確認した。

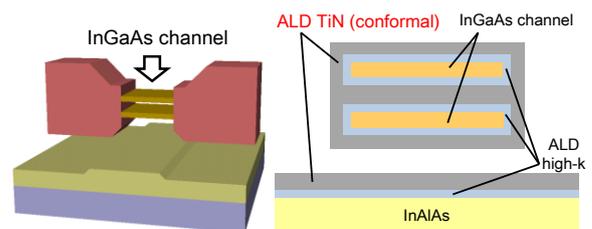


Fig. 2 Fabrication of GAA structures by ALD.

## 4. その他・特記事項(Others)

### ・参考文献

[1] N. Kise *et al.*, Solid-State Electronics, **126**, (2016) 92.

[2] N. Louber *et al.*, 2017 VLSI Symposia, (2017) T230.

・共同研究者: 東京工業大学 宮本恭幸教授

・科学研究費補助金 若手研究(B)「積層型極短チャンネル III-V 族 MOSFET」(16K18087)

・謝辞

国立研究開発法人産業技術総合研究所ナノプロセッシング施設の有本宏様、山崎将嗣様に感謝いたします。

## 5. 論文・学会発表(Publication/Presentation)

(1) 金澤徹 他、第 65 回応用物理学会春季学術講演会、平成 30 年 3 月 18 日

## 6. 関連特許(Patent)

なし。