

課題番号 : F-17-AT-0067  
利用形態 : 技術代行  
利用課題名(日本語) : HfO<sub>2</sub> 薄膜の形成  
Program Title(English) : The formation of HfO<sub>2</sub> thin film  
利用者名(日本語) : 奈良安雄  
Username(English) : Y. Nara  
所属名(日本語) : 兵庫県立大学大学院工学研究科  
Affiliation(English) : Graduate school of Eng., Univ. of Hyogo  
キーワード/Keyword : 成膜・膜堆積、原子層堆積、メモリ、電荷蓄積

## 1. 概要(Summary)

HfO<sub>2</sub> 薄膜は膜中に電荷を蓄積することが知られており、この現象を利用したメモリデバイスへの応用が期待されている。今回、アナログ型メモリへの応用を目指して、原子層堆積法(ALD)で形成した HfO<sub>2</sub> を用いた MOS 構造を作製し、フラットバンド電圧のアナログ的な変化を検証した。

## 2. 実験(Experimental)

### 【利用した主な装置】

原子層堆積装置[FlexAL]

### 【実験方法】

ナノプロセッシング施設の原子層堆積装置を用いて、基板温度 250℃で HfO<sub>2</sub> を成膜した。用いた原料は TEMAHF および H<sub>2</sub>O である。基板として HF 処理を行った p 形シリコンおよびシリコン基板上に TiN を成膜したものをを用いた。成膜した膜厚は約 10 nm で成膜に要した時間は約 1 時間であった。

上記の HfO<sub>2</sub> を成膜したシリコン基板を本学の装置にて熱処理(500℃~800℃、窒素および酸素雰囲気中)工程と上部・裏面電極形成の工程を行い MOS 構造を作製した。MOS 構造にパルス的なゲート電圧を印可して HfO<sub>2</sub> 薄膜に電荷を注入し、C-V 測定によりフラットバンド電圧を算出し注入電荷量の変化を求めた。

## 3. 結果と考察(Results and Discussion)

Fig. 1 には、振幅 5 V、パルス幅 1 s のゲートパルスを 1 回および 10 回印可して電荷蓄積(データ書込み)を行った際の C-V 特性の変化を示す。図にはゲートパルス印可前(書込み前)の C-V 特性も合わせて示してある。図から分かるように、パルス数に応じて C-V 特性が徐々に

(アナログ的に)変化することが分かり、本構造が電荷蓄積型アナログメモリの基本構造として機能していることが確認できた。また、1 パルス当たりのフラットバンド電圧シフト量を算出すると、およそ 0.06 (V/pulse)と比較的大きな値が得られ、電荷蓄積型アナログメモリとしての動作ウィンドウを定量化することができた。さらに、書込みパルスの振幅とフラットバンド電圧シフト量の関係、HfO<sub>2</sub> 形成後の熱処理条件(温度や熱処理雰囲気)とフラットバンド電圧シフト量との関係などアナログメモリとしての基本的なデータを得ることができた。

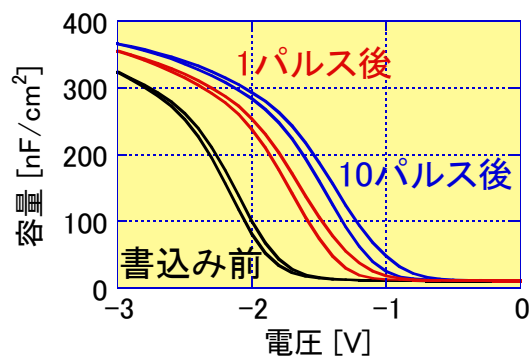


Fig. 1 Capacitance-voltage curves for Al/HfO<sub>2</sub>/Si MOS structure. Gradual shift of flat-band voltage by pulsed gate voltage application was confirmed.

## 4. その他・特記事項(Others)

なし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。