

課題番号 : F-17-AT-0060
利用形態 : 技術代行
利用課題名(日本語) : 微細配線の露光・現像
Program Title (English) : Exposure and development of fine pitch wiring layer
利用者名(日本語) : 渡邊敬仁, 久田隆史, 末岡邦昭
Username (English) : T. Watanabe, T. Hisada, K. Sueoka
所属名(日本語) : 日本アイ・ビー・エム株式会社
Affiliation (English) : IBM Japan, Co. Ltd.
キーワード/Keyword : リソグラフィ・露光・描画装置、微細配線、パッケージ

1. 概要(Summary)

Internet of Things (IoT)時代が到来し、CPU や Memory だけでなく、通信・センサーデバイスを Heterogeneous integration する事への要求が高まっている。Si wafer 上に形成できるデバイスのみであれば、技術的には Monolithic 集積する事が可能である。しかしながら、化合物基板上に作製する通信デバイスや立体構造及び外界とのやり取りが必要なセンサーデバイスを Integration させる為にはパッケージレベルで行う必要がある。これらの多岐にわたるデバイス群を 2D 実装させる事を考えた場合、Interposer 基板に求められる配線ルールも必然的に Fine になる事が考えられる。現在、フリップチップパッケージで用いられている基板では、Line/space=10/10 μm 程度が最小配線ルールとなっている。一方、HBM (High Bandwidth Memory)と呼ばれる高速アプリケーション用メモリでは、L/S=2/2 μm 程度の配線ルールが必要だとされている。今回、感光性有機絶縁膜を用いて、ガラス基板上に 3 層からなる配線体形成を試みた。

2. 実験(Experimental)

【利用した主な装置】

i 線露光装置

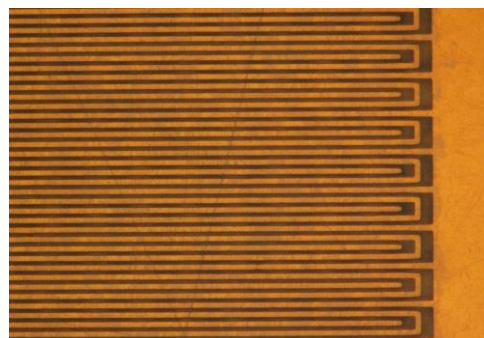
【実験方法】

ガラス基板に有機絶縁膜を形成し、露光・現像・絶縁膜形成を繰り返し、M1、Via、M2 層からなる 3 層の配線体形成を行った。配線体形成後、M2 層の Pattern について表面観察を実施した。

3. 結果と考察(Results and Discussion)

今回、ガラス上に試作した 3 層配線体の中には

Alignment mark の視認性が悪く Manual で Alignment したサンプルもあったが、位置精度よく Patterning する事ができた。Via については $\Phi 3\sim 7 \mu\text{m}$ 程度まで開口する事ができ、また線幅についても単層同様 2 μm 程度まで良好な解像性を得る事が出来た。



(a) L/S = 2/2 μm

Fig. 1 Fine circuitry Cu pattern in M2-Layer on glass substrate.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。