

課題番号 : F-17-AT-0053
利用形態 : 機器利用
利用課題名(日本語) : MEMS センサーのウエハープロセスの改善
Program Title (English) : Development of the wafer process for MEMS sensor
利用者名(日本語) : 清水正和, 阿部康弘, 高橋範彦
Username (English) : M. Shimizu, Y. Abe, N. Takahashi
所属名(日本語) : 株式会社ピュアロンジャパン
Affiliation (English) : PURERON JAPAN Co., LTD.
キーワード/Keyword : リソグラフィ・露光・描画装置、成膜・膜堆積、膜加工・エッチング

1. 概要(Summary)

この課題の目標は熱電式水素センサーの熱電素子の製造プロセスを適正化し、水素センサーとして良好なパフォーマンスを得ることである。そのため、現状の SiGe の物性値を調べ、改善するプロセス及び条件を次のように決定した。

- ・SiGe スパッターターゲットの Si と Ge の組成比変更
- ・SiGe アニール条件及び装置の変更

SiGe スパッターで 2 条件、アニールで 2 条件に分割するため、2×2 の 4 通りに分割して試作を行った。

現在、後工程中であり、特性確認までは至っていない。

2. 実験(Experimental)

【利用した主な装置】

マスクレス露光装置/反応性イオンエッチング装置(RIE)/多目的エッチング装置(ICP-RIE)/スパッタ装置(芝浦)/プラズマ CVD 装置(TEOS_SiO₂)/原子層堆積装置[FlexAL]

【実験方法】

以下にプロセスの流れに従って記述する。

- ・SiGe スパッタ:スパッターターゲットは従来の Si₈₀Ge₁₉B₁ と改善品の Si_{69.3}Ge_{29.7}B₁ の 2 条件を成膜。
- ・原子層堆積(以下 ALD とする) SiO₂ 20 nm / TEOS-SiO₂ 膜 180 nm 成膜
- ・アニールを従来条件と RTA 条件(改善)の 2 条件を実施
- ・フォトリソ/エッチ/絶縁膜成膜にて 配線～カバー膜形成
ここまでを実施して、後工程へ回した。

3. 結果と考察(Results and Discussion)

プロセスの流れに従って記述する。

- (1)SiGe スパッタ～ALD(SiO₂) + TEOS-SiO₂ 成膜
2 種類のターゲットを使用し、2 条件に分割して技術代

行によりスパッタを実施した。原子層堆積装置も技術代行にて実施した。ALD(SiO₂) 20 nm の上に TEOS-SiO₂ 180 nm を成膜した。(SiGe の Cap-SiO₂)

(2)SiGe アニール

SiGe のアニールは、「従来条件(1050℃5 時間)」と「RTA(800℃60 分+1000℃30 秒)」の 2 条件に分割して実施した。

(3)Cap-SiO₂ 除去～PAD 形成

Cap-SiO₂ を RIE にて除去し、アニールした SiGe 表面を出した。SiGe をフォトリソ・エッチにてパターンニングし、配線(Ta/Pt/Ta) をスパッタしてリフトオフ。カバー膜(TEOS-SiO₂) をデポして PAD 形成した。

(4)SiGe-配線間でのパターンズレの発生

SiGe パターンと配線パターンとの間に、Fig. 1 のようなズレが生じた。ズレ量は X, Y 方向ともに 3 μm であり、このプロセスでの許容値(±4 μm) に対してぎりぎりであった。

- 下地露光実施日: '17/11/ 7
- 上部露光実施日: '17/11/17

この間の装置メンテナンスなど、影響を与えるイベントの有無については不明である。

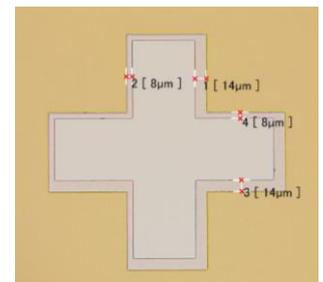


Fig. 1 Alignment error.

4. その他・特記事項(Others)

NEDO の「IoT 技術開発加速のためのオープンイノベーション推進事業」の助成金により試作を行いました。産総研の方々及び関係者各位に感謝致します。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。