

課題番号 : F-17-AT-0052
利用形態 : 機器利用
利用課題名(日本語) : TEOS 膜による基板保護膜プロセス
Program Title (English) : Process of wafer protection by TEOS film
利用者名(日本語) : 遠江栄希
Username (English) : H. Tonoe
所属名(日本語) : 横河ソリューションサービス株式会社
Affiliation (English) : Yokogawa Solution Service corporation
キーワード/Keyword : 成膜・膜堆積、保護膜、TEOS

1. 概要(Summary)

φ 6 インチの GaN ウェハから、φ 1/2 インチのウェハを作製する際に、切削や研磨等の工程がある。それらの工程においてウェハ表面に微粒子の付着や傷などが入ることを防ぐため、予防として TEOS 保護膜を成膜する。

TEOS 保護膜を成膜したのち、くりぬき、及び切削研磨等を行い 1/2 インチサイズに加工したウェハの様子を Fig. 2 に示す。本装置による TEOS 膜が GaN 基板加工時の保護膜として利用できることが分かった。

2. 実験(Experimental)

【利用した主な装置】

プラズマ CVD 装置(TEOS_SiO₂)

【実験方法】

φ 6 インチ GaN 基板 3 枚に対し、プラズマ CVD 装置【NPF030】を用い、表面に TEOS 膜の成膜を行う。成膜温度は 200℃、450 nm を目標膜厚としたので、成膜レート 30 nm/min のレシピを使用して 15 min の成膜を行った。

3. 結果と考察(Results and Discussion)

1 処理あたり 1 枚のウェハに成膜を行った。どのサンプルも Fig. 1 のような外観となり、成膜前に見られなかった干渉膜が見られた。3 枚とも同じ色であったことから膜厚も処理間バラツキや面内バラツキは保護膜として、致命的でない事が分かった。

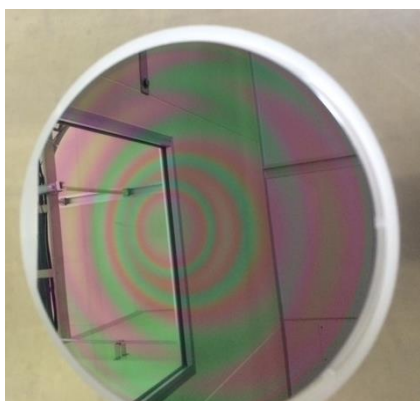


Fig. 1 Φ 6inch GaN wafer (After process).

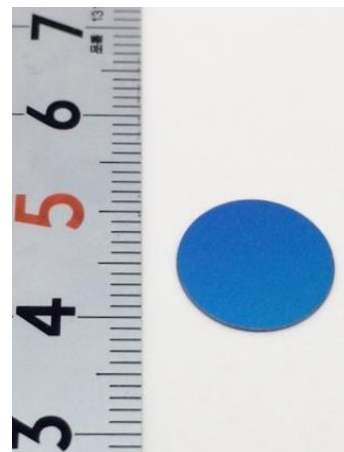


Fig. 2 Φ 1/2inch GaN wafer.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。