

課題番号 : F-16-WS-0058  
利用形態 : 技術代行  
利用課題名(日本語) : Si ダミーチップの製作  
Program Title (English) : Fabrication of Si dummy chips  
利用者名(日本語) : 山田義則  
Username (English) : Y.Yamada  
所属名(日本語) : 有限会社ディアックス  
Affiliation (English) : DIAX Inc.

## 1. 概要(Summary)

SiC 系デバイス、大面積チップの実装プロセス開発に使用するダミーチップを試作する。SiC 結晶は高価なため Si 結晶を使用し、これにメタライズを行ってデバイスの代用とする目的である。

ダミーチップは  $4 \times 4 \times 0.5(\text{mm})$ 、 $6.1 \times 1.2 \times 0.5(\text{mm})$ 、 $10.1 \times 10.5 \times 0.19(\text{mm})$  の三種類とし、片面に Ti/Pt/Au=0.1/0.1/0.5( $\mu\text{m}$ )の蒸着膜を形成する。

## 2. 実験(Experimental)

### 【利用した主な装置】

電子ビーム蒸着装置、ダイシングソー

### 【実験方法】

Si 基板の鏡面側に電子ビーム蒸着装置にて Ti/Pt/Au=0.1  $\mu\text{m}$ /0.1  $\mu\text{m}$ /0.5  $\mu\text{m}$ を連続蒸着する。その後蒸着面にレジストを塗布し、ブレードダイシングを行う。チップ分離後、レジストを有機溶剤で溶解・剥離する。レジストコーティングはダイシング時の切粉の付着を取り除くためである。

## 3. 結果と考察(Results and Discussion)

### 1. $4 \times 4 \times 0.5(\text{mm})$ の外観

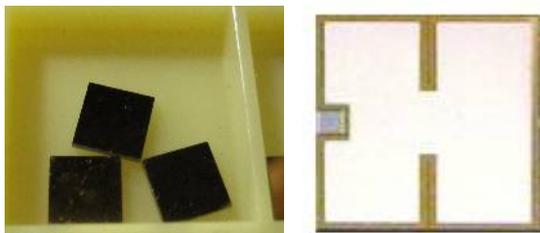


Fig. 1 The image of the chip.

左図は試作した Si チップであるが、これは SiC MOSFET(右図)を模したものである。

### 2. $6.1 \times 1.2 \times 0.5(\text{mm})$ の外観

このダミーチップはマイクロ波電力 FET の最大サイズのチップを模して試作した。左図は試作チップで右図はマイクロ波電力 FET の図面を示した。

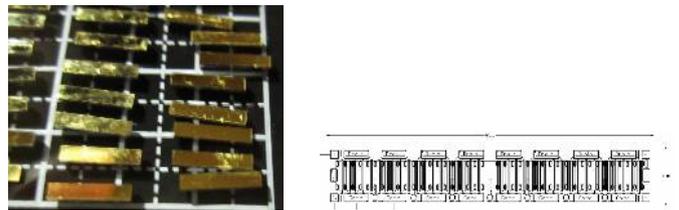


Fig. 2. The image of the chip for microwave power FET.

### 3. $10.1 \times 10.5 \times 0.19(\text{mm})$ の外観

太陽電池セルは大面積であり、その実装では問題点が多い。実装プロセスを開発するに当たり、ダミーチップは欠かせない。左図が試作した Si ダミーで、右図は太陽電池セルである。

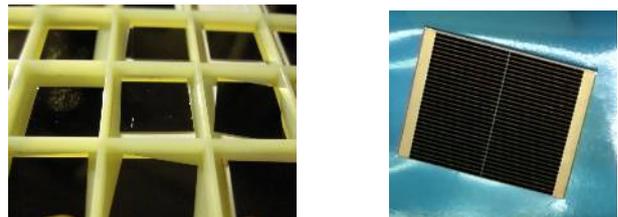


Fig. 3. The image of the chip for solar cells.

## 4. その他・特記事項(Others)

「なし。」

## 5. 論文・学会発表(Publication/Presentation)

「なし。」

## 6. 関連特許(Patent)

「なし。」