

課題番号 : F-16-UT-0126
利用形態 : 技術補助
利用課題名(日本語) : 無線通信向けインダクタの評価用パターン形成
Program Title (English) : Deposition of on-chip inductor for wireless communication
利用者名(日本語) : 久保木 猛
Username (English) : Takeshi Kuboki
所属名(日本語) : 九州大学大学院システム情報科学研究院
Affiliation (English) : Graduate School of Information Science and Electrical Engineering, Kyushu University

1. 概要(Summary)

九州大学金谷研究室・加藤研究室では、大容量高速無線通信技術に向けたテラヘルツ帯無線通信技術の研究を行っており、オンチップインダクタを搭載した通信回路の試作および評価を行っている。オンチップインダクタは半導体製造プロセスを活用できるため大量かつ安価に製造することができる一方で、利用する無線周波数帯によって利用できるオンチップインダクタは大きく形状が異なり、また周波数が高くなるほど所望のインダクタンスの許容誤差が小さくなる。このような背景から、我々は無線周波数帯や許容誤差に応じてインダクタンスを容易に切り替えられるオンチップインダクタの構造を検討している。しかし、切り替え箇所は通常の金属配線よりも抵抗率が大きくなるため、インダクタの性能が劣化する懸念がある。そこで、インダクタの切り替え部分に相当する箇所にあらかじめギャップを形成(オープン状態)して、スイッチに相当する箇所を FIB 装置によって接続(ショート状態)することで、仮想的にインダクタの切り替え箇所を実装し、試作チップによってその影響の実測評価を行うことを目的とする。

2. 実験(Experimental)

【利用した主な装置】

集積回路パターン微細加工(FIB)装置 FEI 社製 V400 ACE

【実験方法】

集積回路チップに作製したオープン状態の回路パターンを、FIB 装置によってプラットフォーム支援機関にて加工を行い、ショート状態とする。加工後のパターンを持ち帰り後に S パラメータの実測を VNA によって評価する。

3. 結果と考察(Results and Discussion)

Figure 1 にオープン状態の回路パターンの顕微鏡写

真を示す。回路パターンには約 $4\ \mu\text{m}$ のギャップを形成しており、このギャップを FIB 装置によって接続した。オープン状態の配線の上層にある絶縁膜の一部をスパッタリングにより削った後に、デポジションによって露出した金属配線間にタングステンを堆積させることで、ショート状態の回路パターンに加工した。堆積させたタングステンの膜厚は $2\ \mu\text{m}$ とした。Figure 2 に加工後のショート状態の回路パターンの顕微鏡写真を示す。

加工後の回路パターンを持ち帰り後に評価を行い、ショート状態になっていることを確認した。ショート状態のオンチップインダクタの特性評価は継続中である。



Figure 1: Chip micrograph of open pattern.



Figure 2: Chip micrograph of short pattern (after FIB process).

4. その他・特記事項(Others)

FIB 装置の加工について多大なご支援・ご助言をいただきました、東京大学 太田様、株式会社豊通エレクトロニクス 木下様に感謝いたします。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。