

課題番号 : F-16-UT-0095
 利用形態 : 機器利用
 利用課題名(日本語) : Ge/SiGe ヘテロ接合を用いたアバランシェフォトダイオードの作製
 Program Title (English) : Fabrication of Ge/SiGe heterostructure avalanche photodiodes
 利用者名(日本語) : 宮坂祐司, 石川靖彦
 Username (English) : Y. Miyasaka, Y. Ishikawa
 所属名(日本語) : 東京大学大学院工学系研究科マテリアル工学専攻
 Affiliation (English) : Department of Materials Engineering, Graduate School of Engineering, The University of Tokyo

1. 概要(Summary)

Si 上の Ge 層を用いた pin フォトダイオード(PD) は、Si フォトニクスにおける近赤外受光器として利用されている。本研究では、IV族半導体のアバランシェ PD (APD)の高性能化のために、Si 基板上 Ge APD に、キャリア打込層として SiGe 層を導入する APD の新構造を提案し、実際にデバイスの作製を行いその効果を検証した。

2. 実験(Experimental)

【利用した主な装置】

光リソグラフィ装置 MA-6、8 インチ汎用スパッタ装置

【実験方法】

東京大学武田先端知クリーンルーム 2 に設置した超高真空化学気相堆積装置を用いて p⁺Si 上へ Ge/SiGe/Ge ヘテロ構造を結晶成長した後、スパッタリング法により表面に SiO₂ を堆積した。イオン注入の後、クリーンルーム 2 に設置されているスパッタ装置を用いて TiN 電極を形成し、pin ダイオードとした。パターン形成(フォトリソグラフィ)には、クリーンルーム 1 に設置されている MA6 マスクアライナーを用いた。

3. 結果と考察(Results and Discussion)

作製した pin ダイオードの室温での典型的な暗電流-電圧 (I-V) 特性と利得特性を示す。Ge/SiGe/Ge PD の暗電流密度は従来の Ge PD の暗電流密度と遜色ない値を示し、SiGe 層導入による暗電流密度の増加は見られなかった。また Ge/SiGe/Ge APD において動作電圧(アバランシェ増幅が起こり始める電圧)の減少が見られ、SiGe キャリア打込層が動作電界を低減することを示した。

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

- (1) 宮坂祐司 他, PRiME 2016 Electrochemical Society, アメリカ、平成 28 年 10 月 2 日.
- (2) 宮坂祐司 他, 第 64 回応用物理学会春季学術講演会、横浜、平成 29 年 3 月 16 日.

6. 関連特許(Patent)

なし。

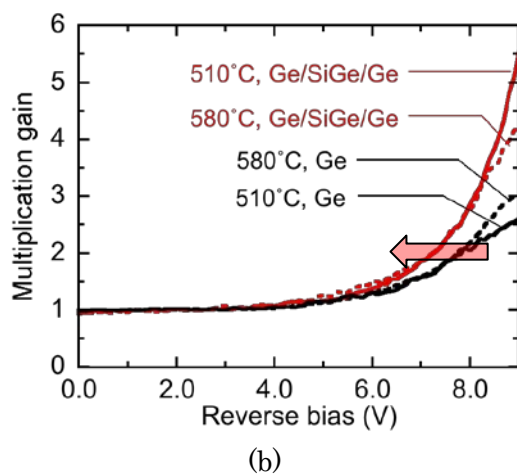
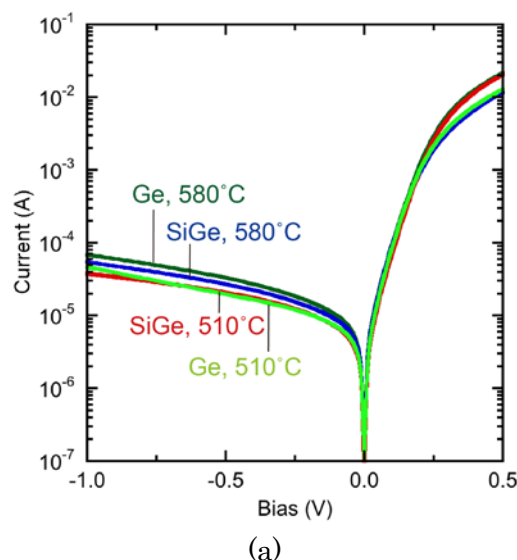


Fig. 1 (a) Typical I-V curve at room temperature under dark and (b) gain characteristics