

課題番号 : F-16-UT-0009
利用形態 : 機器利用
利用課題名(日本語) : DRIE を用いた貫通孔作製プロセスの検討
Program Title (English) : A study of forming through holes using deep reactive ion etching
利用者名(日本語) : 小入羽 祐治
Username (English) : Y.Konyuba
所属名(日本語) : 日本電子株式会社
Affiliation (English) : JEOL Ltd.

1. 概要(Summary)

高速シリコン深掘りエッチング (Deep reactive ion etching:以降 DRIE)と、Silicon on Insulator wafer (以降 SOI ウエハ)を用いて、貫通孔作製プロセスについて検討を行った。

2. 実験(Experimental)

【利用した主な装置】

- ・高速シリコン深掘りエッチング装置(SPTS MUC-21 ASE®-Pegasus 4”装置)
- ・ステルスダイサー(DFL7340(ステルス・Si 用))

【実験方法】

基板は device 層 100 μ m、box 層 2 μ m、handle 層 350 μ m で構成された、Silicon on Insulator wafer (以降 SOI ウエハ)を用いた。プロセスの手順は、①ウェット酸化で両面に熱酸化膜を成膜、②フォトリソグラフィーで円環状のパターンを形成、③バッファードフッ酸で熱酸化膜をエッチング、④ステルスダイサーで SOI ウエハを 20 mm×20 mm に切出し、⑤DRIE 装置で device 層を box 層までエッチング、⑥DRIE 装置で handle 層を box 層までエッチング、⑦フッ酸で box 層を除去し、円環状の貫通孔形成を試みた。

全プロセス処理後の評価として、走査電子顕微鏡を用い、SOI 基板両面の形状について観察した。

3. 結果と考察(Results and Discussion)

走査電子顕微鏡による観察結果を Fig. 1 に示す。ノッチングの影響はほとんど無く、円環状の貫通孔を形成できていることを確認した。

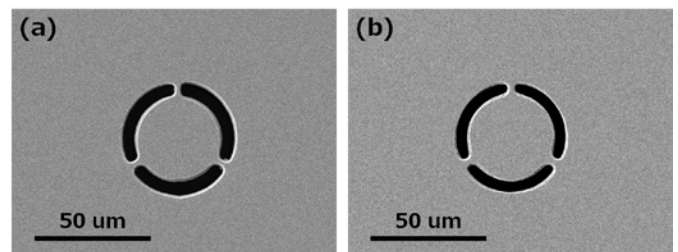


Fig. 1 SEM image of SOI wafer surfaces after finish of the process. (a) front surface (b) back surface.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし