

課題番号 : F-16-TU-0056
利用形態 : 機器利用
利用課題名(日本語) : 3-D IC 作製のための高アスペクト比ビアへのバリア/シード層形成に関する研究
Program Title (English) : A Study of Barrier/Seed Layer Formation for 3-D IC Fabrication
利用者名(日本語) : 谷川 星野¹⁾, 木野 久志²⁾
Username (English) : S. Tanikawa¹⁾, H. Kino²⁾
所属名(日本語) : 1) 東北大学大学院工学研究科, 2) 東北大学学際科学フロンティア研究所
Affiliation (English) : 1) Graduate School of Engineering, Tohoku Univ., 2) FRIS, Tohoku Univ.

1. 概要(Summary)

MOSFET の微細化限界が近づくにつれ、ムーアの法則に則った LSI の性能向上が困難となっている。近年、MOSFET の微細化によらない LSI の高性能化手法として LSI の三次元集積化技術が高い注目を浴びている。三次元集積化技術では LSI を縦方向に積層し Si 基板を貫通する Si 貫通配線(Through Si Via: TSV)を用いることで各チップ間の電氣的接続を行う。このような三次元集積システムを実現するためには高密度 TSV の作製が必要不可欠である。本研究では高密度 TSV を有する三次元集積システムの実現を目的とし、高アスペクト比 TSV のためのバリア/シード層形成技術の確立を行う。

2. 実験(Experimental)

【利用した主な装置】

マイクロ X 線 CT (コムスキャンテクノ ScanXmate D160TS110)

【実験方法】

高密度な TSV を有する三次元集積システムの実現を目的としており、本研究にて高密度 TSV の作製技術に関する研究を行う。TSV 作製のために Si 基板を覆っている絶縁膜のエッチング後に、高アスペクト比の Si 深堀、Si 深堀後の絶縁膜堆積、めっきのためのバリア/シード層形成のスパッタを行う。これらのプロセスは東北大学工学研究科附属マイクロ・ナノマシンング研究教育センターで実施した。

絶縁膜堆積後に TSV 形成のためのバリア/シード層を堆積工程において、高アスペクト比ビアへのスパッタ法によるバリア/シード層形成のためには、スパッタ時の圧力調整によって被覆率を調整する必要がある。本研究ではバリア/シード層スパッタ時の圧力を調整することで段差被覆性の向上を図った。その後、めっき法によりビア内部を Cu で充填した。もし、バリア

/シード層が均一良く堆積されず、欠陥が生じていた場合、メッキ不良が生じる。このメッキ不良は TSV の断面を SEM や TEM で観察することで発見することが可能である。しかしながら、SEM での観察では不良個所と観察面が交差しないうり不良個所を観察することは出来ない。近年は FIB と SEM を組み合わせた装置構成により、試料を削りながら SEM 観察することで立体的な観察を可能にしている。しかしながら、TSV は FIB-SEM で観察するには大きいため、観察に膨大な時間が必要となる。そこで、本研究では複数本の TSV を一括で観察可能な視野を有するマイクロ X 線 CT を用いた観察により TSV の不良観察を試みた。

3. 結果と考察(Results and Discussion)

観察に用いた TSV の径は直径 8 μm であり、深さは約 30 μm であった。これらの TSV が 30 μm ピッチでアレイ状に配置された試料をマイクロ X 線 CT により観察した。

観察結果からは明瞭な不良を取得することは出来なかった。しかしながら、TSV チェーンの電流-電圧特性を測定したところ、理想値よりはるかに高い抵抗値が測定された。おそらく焦点径が数 μm のマイクロ X 線 CT では観察出来ない数十~数百 nm の欠陥が存在していたためかと考えられる。TSV は高アスペクト比化へ向かう可能性が高く、大きな欠陥が生じやすくなると考えられる。今後はそのような高アスペクト比 TSV 形成において同装置での観察を行う予定である。

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。